

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年4月26日 (26.04.2001)

PCT

(10) 国際公開番号
WO 01/29814 A1

(51) 国際特許分類⁷: G09G 3/36, G02F 1/133 [JP/JP]; 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo (JP).

(21) 国際出願番号: PCT/JP00/07175

(22) 国際出願日: 2000年10月16日 (16.10.2000)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願平11/294996
1999年10月18日 (18.10.1999) JP

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 松枝洋二郎 (MATSUEDA, Yojiro) [JP/JP]; 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano (JP).

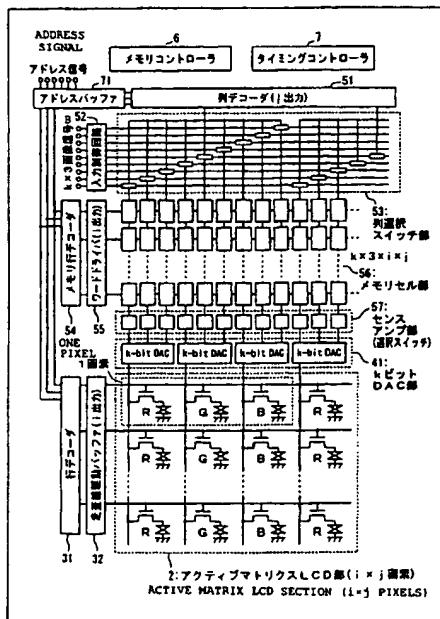
(74) 代理人: 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.); 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano (JP).

(71) 出願人 (米国を除く全ての指定国について): セイコーエプソン株式会社 (SEIKO EPSON CORPORATION) (81) 指定国 (国内): CN, JP, KR, US.

/続葉有/

(54) Title: DISPLAY

(54) 発明の名称: 表示装置



(57) Abstract: A display where the efficiency of layout is taken into account when a peripheral circuit is designed integrally on a glass substrate. An active matrix LCD section (2) where a plurality of scanning lines and data lines are formed in a plaid pattern corresponding to dots, an active element is provided at each intersection, and display employing liquid crystal is controlled by driving the scanning lines and data lines, a row decoder (31) for selecting one of the scanning lines, a memory cell section (56) where memory cells the number of which is so determined that the image signals for controlling display of at least one line of dots on a display drive section can be stored in the memory cells are allotted according to the length of the display drive section in the row direction of the display drive section, a column decoder section (51) for selecting a memory cell holding an inputted image signal, a column selection switch (53) switched according to the selection by the column decoder section (51) and an image signal to store the image signal in the selected memory, and a k-bit DAC section (41) for driving a data line according to the image signal stored in the memory cell section are integrated on a substrate.

WO 01/29814 A1



(84) 指定国(広域): ヨーロッパ特許(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約:

周辺回路をガラス基板上に一体形成する場合に、レイアウトの効率等を考慮した表示装置を得る。

ドットに対応させて複数の走査線及び複数のデータ線を格子状に形成し、各交点に対応させてアクティブ素子を設け、走査線及びデータ線の駆動により液晶を用いた表示制御をするアクティブマトリクスLCD部2と、走査線を選択する行デコーダ31と、少なくとも表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルが、表示駆動部の行方向の長さに対応して割り付けられるメモリセル部56と、入力される画像信号を記憶させるメモリセルを選択する列デコーダ部51と、列デコーダ部51の選択と画像信号とに基づいてスイッチングし、選択されたメモリセルに画像信号を記憶させる列選択スイッチ部53と、メモリセル部に記憶された画像信号に基づいてデータ線を駆動させるkビットDAC部41とを基板上に集積し、一体形成した。

明細書

表示装置

5 技術分野

本発明は表示装置に関するものである。特に、液晶ディスプレイ (LCD : Liquid Crystal Display) 又は有機ELディスプレイ (OELD : Organic Electro Luminescent Display) を表示させるための駆動回路等に関するものである。

10 背景技術

最近、液晶を用いた表示装置（以下、ディスプレイという）がかなりの勢いで普及しつつある。このタイプのディスプレイは、CRTのディスプレイに比べて低消費電力で省スペースである。したがって、このようなディスプレイの利点を活かし、より低消費電力で、より省スペースのディスプレイを作成することが重要となる。

図11は、TFTディスプレイによる表示装置により表示を行うためのシステムのブロック図である。このシステムは画像信号源100及びTFT液晶ディスプレイパネル101で構成される。画像信号源100は、少なくともCPU100A、RAM100B、フレームメモリ100C及びLCDコントローラ100Dで構成される。CPU100Aは、汎用のメモリであるRAM100Bとデータのやりとりを行いながら、表示データを送信する演算制御手段である。このRAM100Bは、特に表示用のメモリだけに用いられているわけではなく、そのため新たに表示用のデータを記憶するメモリを必要とする。それがフレームメモリ100Cである。フレームメモリ100Cは、液晶パネル101Cの1画面分の表示用のデータを一時的に記憶する（以下、1画素分のデータを表示データとし、表示データを構成する各2値信号を画像信号という）。LCDコントローラ100Dは、フレームメモリ100Cに記憶された各表示データを、液晶パネル101C上の各表示位置に各タイミングで表示させるため、表示データの送信制御等を行うものである。ここで、CRTの場合は、表示データをアナログデータに

変換して送信する必要があるが、液晶ディスプレイのインターフェースがデジタルデータに対応しているものとして、ここでは表示データをデジタルデータである画像信号で送信する。画像信号がデジタルデータであれば、TFT液晶ディスプレイパネル101側でD/A変換する必要がない。

5 一方、TFT液晶ディスプレイパネル101は走査線ドライバ101A及びデジタルデータドライバ101B並びに液晶パネル101Cで構成される。走査線ドライバ101AはLCDコントローラ100Dから送信されるタイミングデータに基づいて、走査線（行）方向の表示制御をする。デジタルデータドライバ101Bは、デジタルデータの画像信号を受けとり、処理することができる。デジタルデータドライバ101Bは、LCDコントローラ100Dから送信されるタイミングデータに基づいて、データ線（列）方向の表示制御する。またその際、表示階調も制御する。液晶パネル101CはTFT（薄膜トランジスタ：Thin Film Transistor）を有し、走査線ドライバ101A及びデジタルデータドライバ101Bの制御に基づいて表示を行うパネルである。

10 15 このようなシステムでは、フレームメモリ100Cに一時的に記憶した全画面分の表示データの画像信号をLCDコントローラ100Dがデジタルデータドライバ101Bに送信しなければならない。しかも、順次走査による送信タイミングが決まっているので、例えば、表示を変更しない画素の表示データに対してもタイミングに合わせて画像信号を送信する必要がある。そのため、無駄なデータ送信量が多くなるだけでなく、そのための電力消費も大きく、低消費電力化を図ることができない。

20 25 そこで、本発明は、低消費電力を図れるような構造をとりつつ、しかも、特に周辺回路をガラス基板上に一体形成する場合に、レイアウトの効率等を考慮した省スペース設計の表示装置を得ることを目的とする。

発明の開示

特許請求の範囲第1項に係る発明である表示装置は、表示の最小単位であるドットに対応させて複数の走査線及び複数のデータ線を格子状に形成し、各交点に対応させて能動素子を設け、走査線及びデータ線の駆動により液晶を用いた表示

制御をする表示駆動部と、前記表示駆動部の列方向の長さに対応して割り付けられ、前記走査線を選択して駆動させる走査線ドライバ部と、少なくとも前記表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルが、前記表示駆動部の行方向の長さに対応して割り付けられるメモリセル部と、前記表示駆動部の行方向の長さに対応して割り付けられ、入力される画像信号を記憶させる前記メモリセルを選択する列デコーダ部と、前記表示駆動部の行方向の長さに対応して割り付けられ、該列デコーダ部の選択と前記画像信号とに基づいてスイッチングし、前記列デコーダ部に選択されたメモリセルに画像信号を記憶させる列選択スイッチ部と、前記表示駆動部の行方向の長さに対応して割り付けられ、前記メモリセル部に記憶された画像信号に基づいて前記データ線を駆動させるデータ線ドライバ部と、を半導体又は絶縁体の基板上に集積し、一体形成している。

本発明においては、例えばガラス基板や石英基板等の絶縁基板に、多結晶シリコンTFTを用いて、周辺回路を含めて一体形成する場合に、省スペース化を図るため、列デコーダ部、列選択スイッチ部及びデータ線ドライバ部だけでなく、少なくとも表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセル部のメモリセルを、表示駆動部の行方向の長さに対応して割り付けるようにする。

なお、本発明における「列方向の長さに対応して割り付けられ」「行方向に長さに対応して割り付けられ」という点は、例えば、メモリセル部であれば、その行方向の長さが表示駆動部の行方向の長さに対応するということであって、より具体的には、特許請求の範囲第2項に係る発明で限定しているように、「行方向の長さが表示駆動部の行方向の長さ以下になる」ということである。「以下になる」ということは、両者が等しいか、或いは、前者が後者に比べて小さいか、のいずれかであるが、本発明にあっては、例えばメモリセル部の行方向の長さが、表示駆動部の行方向の長さより若干（例えば、数%程度）大きくても構わない。

要は、例えばメモリセル部であれば、それを表示駆動部と共に基板上に集積した場合に、そのメモリセル部の寸法が表示駆動部の寸法に対応していないため基板上に無駄なスペースが発生してしまう、ということが避けられればよいので

ある。無駄なスペースが発生するとは、例えば、メモリセル部の行方向の長さが表示駆動部の行方向の長さよりも大幅に長いために、表示駆動部の行方向側端部に沿った基板上の部分に、回路等が設けられない比較的広いスペースが生じてしまうということである。

5 特許請求の範囲第2項に係る発明である表示装置は、表示の最小単位であるドットに対応させて複数の走査線及び複数のデータ線を格子状に形成し、各交点に対応させて能動素子を設け、走査線及びデータ線の駆動により液晶を用いた表示制御をする表示駆動部と、列方向の長さが前記表示駆動部の列方向の長さ以下になるように割り付けられ、前記走査線を選択して駆動させる走査線ドライバ部と、

10 少なくとも前記表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルが、その行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられるメモリセル部と、行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられ、入力される画像信号を記憶させる前記メモリセルを選択する列デコーダ部と、行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられ、該列デコーダ部の選択と前記画像信号とに基づいてスイッチングし、前記列デコーダ部に選択されたメモリセルに画像信号を記憶させる列選択スイッチ部と、行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられ、前記メモリセル部に記憶された画像信号に基づいて前記データ線を駆動させるデータ線ドライバ部と、を半導体

15 又は絶縁体の基板上に集積し、一体形成している。

20

本発明においては、例えばガラス基板や石英基板等の絶縁基板に、多結晶シリコンTFTを用いて、周辺回路を含めて一体形成する場合に、省スペース化を図るため、列デコーダ部、列選択スイッチ部及びデータ線ドライバ部だけでなく、少なくとも表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセル部のメモリセルを、その行方向長さが、表示駆動部の行方向の長さ以下になるように割り付けるようにする。

特許請求の範囲第3項に係る発明である表示装置は、表示の最小単位であるドットに対応させて複数の走査線及び複数のデータ線を格子状に形成し、各交点に対応させて能動素子を設け、走査線及びデータ線の駆動により、前記能動素子に

接続された有機EL素子を発光させて表示制御をする表示駆動部と、前記表示駆動部の列方向の長さに対応して割り付けられ、前記走査線を選択して駆動させる走査線ドライバ部と、少なくとも前記表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルが、前記表示駆動部の行方向の

- 5 長さに対応して割り付けられるメモリセル部と、前記表示駆動部の行方向の長さに対応して割り付けられ、入力される画像信号を記憶させる前記メモリセルを選択する列デコーダ部と、前記表示駆動部の行方向の長さに対応して割り付けられ、該列デコーダ部の選択と前記画像信号とに基づいてスイッチングし、前記列デコーダ部に選択されたメモリセルに画像信号を記憶させる列選択スイッチ部と、前記表示駆動部の行方向の長さに対応して割り付けられ、前記メモリセル部に記憶された画像信号に基づいて前記データ線を駆動させるデータ線ドライバ部と、を半導体又は絶縁体の基板上に集積し、一体形成している。
- 10

本発明では、例えば多結晶シリコンに、有機EL素子を用いて表示制御を行う表示駆動回路を、周辺回路を含めて一体形成する場合に、省スペース化を図るため、列デコーダ部、列選択スイッチ部及びデータ線ドライバ部だけでなく、少なくとも表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセル部のメモリセルを、表示駆動部の行方向の長さに対応して割り付けるようにする。

なお、本発明における「列方向の長さに対応して割り付けられ」「行方向に長さに対応して割り付けられ」という点は、例えば、メモリセル部であれば、その行方向の長さが表示駆動部の行方向の長さに対応するということであって、より具体的には、特許請求の範囲第4項に係る発明で限定しているように、「行方向の長さが表示駆動部の行方向の長さ以下になる」ということである。「以下になる」ということは、両者が等しいか、或いは、前者が後者に比べて小さいか、のいずれかであるが、本発明にあっては、例えばメモリセル部の行方向の長さが、表示駆動部の行方向の長さより若干（例えば、数%程度）大きくても構わない。

要は、例えばメモリセル部であれば、それを表示駆動部と共に基板上に集積した場合に、そのメモリセル部の寸法が表示駆動部の寸法に対応していないため基板上に無駄なスペースが発生してしまう、ということが避けられればよいので

ある。無駄なスペースが発生するとは、例えば、メモリセル部の行方向の長さが表示駆動部の行方向の長さよりも大幅に長いために、表示駆動部の行方向側端部に沿った基板上の部分に、回路等が設けられない比較的広いスペースが生じてしまうということである。

5 特許請求の範囲第4項に係る発明である表示装置は、表示の最小単位であるドットに対応させて複数の走査線及び複数のデータ線を格子状に形成し、各交点に対応させて能動素子を設け、走査線及びデータ線の駆動により、前記能動素子に接続された有機EL素子を発光させて表示制御をする表示駆動部と、列方向の長さが前記表示駆動部の列方向の長さ以下になるように割り付けられ、前記走査線

10 を選択して駆動させる走査線ドライバ部と、少なくとも前記表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルが、その行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられるメモリセル部と、行方向の長さが前記表示駆動部の行方向の長さ以下になるよう割り付けられ、入力される画像信号を記憶させる前記メモリセルを選択する列

15 デコーダ部と、行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられ、該列デコーダ部の選択と前記画像信号とに基づいてスイッチングし、前記列デコーダ部に選択されたメモリセルに画像信号を記憶させる列選択スイッチ部と、行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられ、前記メモリセル部に記憶された画像信号に基づいて前記データ線を

20 駆動させるデータ線ドライバ部と、を半導体又は絶縁体の基板上に集積し、一体形成している。

本発明では、例えば多結晶シリコンに、有機EL素子を用いて表示制御を行う表示駆動回路を、周辺回路を含めて一体形成する場合に、省スペース化を図るため、列デコーダ部、列選択スイッチ部及びデータ線ドライバ部だけでなく、少なくとも表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセル部のメモリセルを、その行方向長さが、表示駆動部の行方向の長さ以下になるように割り付けるようにする。

特許請求の範囲第5項に係る発明である表示装置は、複数の走査線及び複数のビット線が設けられ、また、対応する前記走査線及び前記ビット線の駆動により

表示制御される液晶が、表示制御の最小単位であるドット毎に備えられ、マトリクス状に形成された表示駆動部と、少なくとも前記表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルが前記表示駆動部の行方向の長さに対応して割り付けられ、また各メモリセルが前記ビット線と接続されたメモリセル部と、前記表示駆動部の行方向の長さに対応して割り付けられ、入力される画像信号を記憶させる前記メモリセルを選択する列デコーダ部と、前記表示駆動部の行方向の長さに対応して割り付けられ、該列デコーダ部の選択と前記画像信号とに基づいてスイッチングし、前記列デコーダ部に選択されたメモリセルに画像信号を記憶させる列選択スイッチ部と、を半導体又は絶縁体の基板上に集積し、一体形成している。

本発明においては、例えば多結晶シリコンTFTを用いて、液晶を用いて表示制御を行う表示駆動回路を、周辺回路を含めて一体形成する場合に、省スペース化を図るため、列デコーダ部及び列選択スイッチ部だけでなく、少なくとも表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセル部のメモリセルを、表示駆動部の行方向の長さに対応して割り付けるようとする。

なお、本発明における「行方向に長さに対応して割り付けられ」という点は、例えば、メモリセル部であれば、その行方向の長さが表示駆動部の行方向の長さに対応するということであって、より具体的には、特許請求の範囲第6項に係る発明で限定しているように、「行方向の長さが表示駆動部の行方向の長さ以下になる」ということである。「以下になる」ということは、両者が等しいか、或いは、前者が後者に比べて小さいか、のいずれかであるが、本発明にあっては、例えばメモリセル部の行方向の長さが、表示駆動部の行方向の長さより若干（例えば、数%程度）大きくても構わない。

要は、例えばメモリセル部であれば、それを表示駆動部と共に基板上に集積した場合に、そのメモリセル部の寸法が表示駆動部の寸法に対応していないため基板上に無駄なスペースが発生してしまう、ということが避けられればよいのである。無駄なスペースが発生するとは、例えば、メモリセル部の行方向の長さが表示駆動部の行方向の長さよりも大幅に長いために、表示駆動部の行方向側端部

に沿った基板上の部分に、回路等が設けられない比較的広いスペースが生じてしまうということである。

特許請求の範囲第6項に係る発明である表示装置は、複数の走査線及び複数のビット線が設けられ、また、対応する前記走査線及び前記ビット線の駆動により表示制御される液晶が、表示制御の最小単位であるドット毎に備えられ、マトリクス状に形成された表示駆動部と、少なくとも前記表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルが、その行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられ、また各メモリセルが前記ビット線と接続されたメモリセル部と、行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられ、入力される画像信号を記憶させる前記メモリセルを選択する列デコーダ部と、行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられ、該列デコーダ部の選択と前記画像信号とに基づいてスイッチングし、前記列デコーダ部に選択されたメモリセルに画像信号を記憶させる列選択スイッチ部と、を半導体又は絶縁体の基板上に集積し、一体形成している。

本発明においては、例えば多結晶シリコンTFTを用いて、液晶を用いて表示制御を行う表示駆動回路を、周辺回路を含めて一体形成する場合に、省スペース化を図るため、列デコーダ部及び列選択スイッチ部だけでなく、少なくとも表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセル部のメモリセルを、その行方向長さが、表示駆動部の行方向の長さ以下になるように割り付けるようにする。

特許請求の範囲第7項に係る発明である表示装置は、複数の走査線及び複数のビット線が設けられ、また、対応する前記走査線及び前記ビット線の駆動により発光表示制御される有機EL素子が、表示制御の最小単位であるドット毎に備えられ、マトリクス状に形成された表示駆動部と、少なくとも前記表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルが前記表示駆動部の行方向の長さに対応して割り付けられ、また各メモリセルが前記ビット線と接続されたメモリセル部と、前記表示駆動部の行方向の長さに対応して割り付けられ、入力される画像信号を記憶させる前記メモリセルを選択する列

デコーダ部と、前記表示駆動部の行方向の長さに対応して割り付けられ、該列デコーダ部の選択と前記画像信号とに基づいてスイッチングし、前記列デコーダ部に選択されたメモリセルに画像信号を記憶させる列選択スイッチ部と、を半導体又は絶縁体の基板上に集積し、一体形成している。

5 本発明においては、例えば多結晶シリコンTFTを用いて、有機EL素子を用いて表示制御を行う表示駆動回路を、周辺回路を含めて一体形成する場合に、省スペース化を図るため、列デコーダ部及び列選択スイッチ部だけでなく、少なくとも表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセル部のメモリセルを、表示駆動部の行方向の長さに対応して割り付
10 けるようにする。

なお、本発明における「行方向に長さに対応して割り付けられ」という点は、例えば、メモリセル部であれば、その行方向の長さが表示駆動部の行方向の長さに対応するということであって、より具体的には、特許請求の範囲第8項に係る発明で限定しているように、「行方向の長さが表示駆動部の行方向の長さ以下に
15 なる」ということである。「以下になる」ということは、両者が等しいか、或いは、前者が後者に比べて小さいか、のいずれかであるが、本発明にあっては、例えばメモリセル部の行方向の長さが、表示駆動部の行方向の長さより若干（例えば、数%程度）大きくても構わない。

要は、例えばメモリセル部であれば、それを表示駆動部と共に基板上に集積した場合に、そのメモリセル部の寸法が表示駆動部の寸法に対応していないため基板上に無駄なスペースが発生してしまう、ということが避けられればよいのである。無駄なスペースが発生するとは、例えば、メモリセル部の行方向の長さが表示駆動部の行方向の長さよりも大幅に長いために、表示駆動部の行方向側端部に沿った基板上の部分に、回路等が設けられない比較的広いスペースが生じてしまうということである。

特許請求の範囲第8項に係る発明である表示装置は、複数の走査線及び複数のビット線が設けられ、また、対応する前記走査線及び前記ビット線の駆動により発光表示制御される有機EL素子が、表示制御の最小単位であるドット毎に備えられ、マトリクス状に形成された表示駆動部と、少なくとも前記表示駆動部の1

行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルが、その行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられ、また各メモリセルが前記ビット線と接続されたメモリセル部と、行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられ、入力される
5 画像信号を記憶させる前記メモリセルを選択する列デコーダ部と、行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられ、該列デコーダ部の選択と前記画像信号とに基づいてスイッチングし、前記列デコーダ部に選択されたメモリセルに画像信号を記憶させる列選択スイッチ部と、を半導体又は絶縁体の基板上に集積し、一体形成している。

10 本発明においては、例えば多結晶シリコンTFTを用いて、有機EL素子を用いて表示制御を行う表示駆動回路を、周辺回路を含めて一体形成する場合に、省スペース化を図るため、列デコーダ部及び列選択スイッチ部だけでなく、少なくとも表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセル部のメモリセルを、その行方向長さが、表示駆動部の行方向の長さ以下になるように割り付けるようにする。
15

特許請求の範囲第9項に係る発明である表示装置は、前記表示駆動部の行方向の長さに対応して割り付けられ、前記表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルの数を、冗長に構成する。

本発明においては、表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルの数を冗長に構成しても、それを表示駆動部の行方向の長さに基づいて（例えば、行方向長さが、表示駆動部の行方向長さ以下となるように）割り付ける。

特許請求の範囲第10項に係る発明である表示装置は、前記メモリセル部は、前記走査線の数と等しい数だけ設けられた各ワード線に、前記1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルを接続して、前記表示駆動部のドット配列に対応したメモリアレイで構成され、また、前記ワード線を選択して駆動させるワード線ドライバ部を、さらに前記基板上に集積し、一体形成している。

本発明においては、メモリセル部を表示駆動部のドット配列に対応したメモリ

アレイで構成するようにし、1画面分を表示するために必要な画像信号を記憶するようにして、外部とのデータ量のやりとりを少なくして低消費電力を図ることができるような構造にする。また、アレイ構成による記憶を行うために、走査線と等しい数だけ設けたワード線を選択して駆動させるワード線ドライバ部をさら
5 に基板上に集積し、一体形成する。

特許請求の範囲第11項に係る発明である表示装置は、表示位置及び記憶位置を示すアドレス信号に基づいて、前記走査線ドライバ部は前記走査線を選択し、また、前記ワード線ドライバ部は前記ワード線を選択するようにしている。

本発明においては、アドレス信号により走査線、ワード線をランダムに選択でき、列方向に対する記憶又は表示の自由度を確保する。
10

特許請求の範囲第12項に係る発明である表示装置は、前記走査線ドライバ部と前記ワード線ドライバ部には同じアドレス信号が入力されるようにしている。

本発明においては、配線の簡素化を図るために、走査線ドライバ部とワード線ドライバ部で同じ線を共有することができる。そのため、同じタイミングで同じ
15 アドレス信号が入力されるようになる。

特許請求の範囲第13項に係る発明である表示装置は、前記走査線ドライバ部と前記ワード線ドライバ部には独立したアドレス信号が入力されるようにしている。

本発明においては、記憶動作及び表示動作の自由度を高めるために走査線ドライバ部とワード線ドライバ部には独立したアドレス信号を入力し、例えば動作タイミングを異ならせることができる。
20

特許請求の範囲第14項に係る発明である表示装置は、前記走査線ドライバ部は、走査線ドライバ制御信号が入力されている間だけ、前記アドレス信号に基づいて前記走査線の選択駆動動作を行い、また、前記ワード線ドライバ部は、ワード線ドライバ制御信号が入力されている間だけ、前記アドレス信号に基づいて前記ワード線の選択駆動動作を行うようにしている。
25

本発明においては、記憶動作及び表示動作の自由度を高めつつ、配線の簡素化を図るために、走査線ドライバ部は、走査線ドライバ制御信号が入力されている間だけ、アドレス信号に基づいて走査線の選択駆動動作を行い、ワード線ドライ

バ部は、ワード線ドライバ制御信号が入力されている間だけ、アドレス信号に基づいてワード線の選択駆動動作を行うことができる。

特許請求の範囲第15項に係る発明である表示装置は、前記列デコーダ部は、前記アドレス信号に基づいて、入力される画像信号を記憶させるメモリセルを選択するようにしている。
5

本発明においては、列デコーダ部は、アドレス信号により画像信号を記憶させるメモリセルをランダムに選択でき、行方向に対する記憶又は表示の自由度を確保することができる。

特許請求の範囲第16項に係る発明である表示装置は、光源色である赤、青及び緑を発色表示させるために設けられた3ドットを1画素とし、前記画像信号は1画素単位で入力され、また、前記列デコーダ部は、1画素分のメモリセルを選択するようにしている。
10

本発明においては、表示装置がカラー表示を行う場合、光源色である赤、青及び緑を発色表示させるために設けられた3ドットを1画素として、表示の変更単位となる、1画素単位で画像信号を入力するようにし、列デコーダ部は、その入力に基づいて1画素分のメモリセルを選択する。
15

特許請求の範囲第17項に係る発明である表示装置は、光源色である赤、青及び緑を発色表示させるために設けられた3ドットを1画素とし、前記画像信号は複数画素単位で入力され、また、前記列デコーダ部は、複数画素分のメモリセルを選択するようにしている。
20

本発明においては、表示装置がカラー表示を行う場合、駆動周波数を低下させるために、光源色である赤、青及び緑を発色表示させるために設けられた3ドットを1画素として、複数画素単位で画像信号を入力するようにし、列デコーダ部は、その入力に基づいて複数画素分のメモリセルを選択する。

25 特許請求の範囲第18項に係る発明である表示装置は、前記メモリセル部に記憶させる画像信号の入力配線及び前記列選択スイッチ部は、前記メモリセル部を挟んで表示駆動部と反対側に形成されたようにした。

本発明においては、配線の交差を少なくして低消費電力を図り、またスイッチング等の影響によるノイズ重畠を防ぐため、画像信号の入力配線及び列選択スイ

ツチ部は、メモリセル部を挟んで表示駆動部と反対側に形成する。

特許請求の範囲第19項に係る発明である表示装置は、前記メモリセル部は、前記表示駆動部の行方向の長さに対応させてメモリセルが割り付けられ、多段構成で形成されるようにした。

5 本発明においては、例えば階調数増加による1ドット分のメモリセル増加により、表示駆動部の行方向の長さに対応させてメモリセルが割り付けられない場合に、多段にして構成し、形成する。

特許請求の範囲第20項に係る発明である表示装置は、前記走査線の数の整数倍の数のワード線を設け、前記メモリセル部は、前記表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルを前記整数倍の数のワード線に分けて接続させたメモリアレイで構成されるようにした。

本発明においては、例えば階調数増加による1ドット分のメモリセル増加により、表示駆動部の行方向の長さに対応させてメモリセルが割り付けられない場合に、複数行にして構成し、形成する。

15 特許請求の範囲第21項に係る発明である表示装置は、前記メモリセル部は、前記表示駆動部の複数行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルを前記表示駆動部の行方向の長さに対応させて割り付けたメモリアレイで構成されるようにした。

本発明においては、表示駆動部の行方向の長さに対応させて複数行分のメモリセルが割り付けられる場合は、省スペース化を図るため、表示駆動部の複数行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルを表示駆動部の行方向の長さに対応させて割り付けたメモリアレイで構成する。

特許請求の範囲第22項に係る発明である表示装置は、前記メモリセル部は、前記表示駆動部の複数行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルを行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けたメモリアレイで構成されるようにした。

本発明においては、表示駆動部の行方向の長さに対応させて複数行分のメモリセルが割り付けられる場合は、省スペース化を図るため、表示駆動部の複数行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルを、その

行方向長さが表示駆動部の行方向の長さ以下になるように割り付けたメモリアレイで構成する。

特許請求の範囲第23項に係る発明である表示装置は、前記アドレス信号を送信するタイミングを制御するタイミングコントローラ部と、前記画像信号の送信5を制御するメモリコントローラ部と、をさらに前記基板上に集積し、一体形成するようにした。

本発明においては、表示を制御するのに必要な周辺回路を全てシステムチップに同一基板上に一体形成する。

特許請求の範囲第24項に係る発明である表示装置は、前記表示駆動部と前記10メモリセル部との間にD/A変換器を設けることにより、前記メモリセル部に記憶されているデジタル信号でなる前記画像信号を、アナログ信号に変換してから前記表示駆動部に供給するようにしている。

本発明においては、アナログ信号対応の表示駆動部で表示を行うために、表示駆動部とメモリセル部との間にD/A変換器を設け、そのD/A変換器において15アナログ信号に変換された後の画像信号を、表示駆動部に供給する。

特許請求の範囲第25項に係る発明である表示装置は、前記表示駆動部と前記メモリセル部とを直結することにより、前記メモリセル部に記憶されているデジタル信号でなる前記画像信号を前記表示駆動部に供給するようにしている。

本発明においては、デジタル信号対応の表示駆動部で表示を行うために、表示20駆動部とメモリセル部との間には、D/A変換器等は設けず、デジタル信号のままの画像信号を、表示駆動部に供給する。

特許請求の範囲第26項に係る発明である表示装置は、前記表示駆動部は、面積階調又は時分割階調若しくはそれらの組み合わせによってデジタル駆動を行うようにしている。

25 本発明においては、面積階調、時分割階調、若しくは両者の組み合わせによつて、デジタル信号対応の表示駆動部が表示を行う。

図面の簡単な説明

図1は、本発明の第1の実施の形態に係る表示装置を含めたシステムの概念を

表すブロック図である。図2は、パネル1を詳細に表した図である。図3は、本発明の第2の実施の形態に係るパネル1Aを詳細に表した図である。図4は、本発明の第3の実施の形態に係るパネル1Bを詳細に表した図である。図5は、本発明の第4の実施の形態に係るパネル1Cを詳細に表した図である。図6は、本発明の第5の実施の形態に係るパネル1Dを詳細に表した図である。図7は、本発明の第6の実施の形態に係るパネル1Eを詳細に表した図である。図8は、アクティブマトリクスOEL部8の回路配置を示す図である。図9は、本発明の第7の実施の形態に係るパネル1Fを詳細に表した図である。図10は、アクティブマトリクスLCD部2Aの回路配置を示す図である。図11は、TFTディスプレイによる表示装置により表示を行うためのシステムのブロック図である。

発明を実施するための最良の形態

実施の形態1.

図1は本発明の第1の実施の形態に係る表示装置を含めたシステムの概念を表すブロック図である。図1はシステムオンパネル(SOP)と呼ばれる概念を表している。SOPとは、表示を行うための周辺回路等をガラス基板に、しかもIC等のチップを用いずに、多結晶シリコン等を用いてTFT等と周辺回路を一体形成しようとする概念である。そのため、パネルをCPUと直結することができ、また低コスト、高信頼性、省スペース化を図ることができる。

図1において、画像信号源110は表示データを送信するCPU110Aで構成されている。ここでも、図11に示した従来の構成と同様に、表示データをデジタルデータである画像信号で送信する。画像信号がデジタルデータであれば、パネル1側でD/A変換する必要がなく、その分、小型化及び低消費電力化が図られる。また、パネル1は、アクティブマトリクスLCD部2、走査線ドライバ3、デジタルデータドライバ4、フレームメモリ部5、メモリコントローラ6及びタイミングコントローラ7で構成されている。アクティブマトリクスLCD部2が、本発明における表示駆動部に対応する。

図2はパネル1を詳細に表した図である。アクティブマトリクスLCD部2は、TFT、ダイオード等のアクティブ素子を用いて実際に表示を行う部分であ

る。アクティブマトリックスLCD部2には、 $i \times j$ 個の画素が並べられている。本実施の形態はカラーディスプレイを想定しているので、光源色であるR (Red)、G (Green) 及びB (Blue) の3ドット (サブ画素ともいう) を1画素として構成する。モノクロディスプレイの場合は画素=ドットである。それ
5 そのドットのエリアには、データ線と走査線及びこれらの交点に対応させて配置されたアクティブ素子 (例えばトランジスタ、ダイオード等によるスイッチング素子) が含まれる。このアクティブ素子にはそれぞれ画素電極がついており、対向電極との間に液晶を介した容量を形成している。画素電極と対向電極との間に印加される電圧で、液晶の分子による施光性を制御し、各ドットの表示制御を行
10 う。しかも、アクティブ素子がスイッチをオフしても、画素電極は、蓄えた電荷により次のリフレッシュ時 (表示データ書き換え時) までその表示状態を維持させることができる。アクティブ素子のスイッチング動作や画素電極への電荷供給の制御は、データ線と走査線とを駆動させて (電流を供給して) 行われる。

走査線を駆動させる制御を行うのが走査線ドライバ3である。走査線ドライバ
15 3は行デコーダ31及び走査線駆動バッファ32で構成されている。行デコーダ31は、入力されるアドレスデータに基づいて駆動させる走査線を選択する。走査線駆動バッファ32は、行デコーダ31が選択した走査線を実際に駆動させる。

一方、データ線を駆動させる制御を行うのがデジタルデータドライバ4である。デジタルデータドライバ4は、D/A変換器としてのkビットDAC部41で構
20 成されている。ここで、kビットDAC部41の動作を説明する前にフレームメモリ部5について説明する。

フレームメモリ部5は、列デコーダ51、入力制御回路52、列選択スイッチ部53、メモリ行デコーダ54、ワードドライバ55、メモリセル部56及びセンスアンプ部57で構成される。列デコーダ51は、入力されるアドレスデータに基づいて、1行 (ライン) 分 (j 個) の画素から1つの画素を選択する。これが、ひいては駆動させるデータ線を選択することにもなる。入力制御回路52は、メモリコントローラ6から並列送信された1画素分の画像信号 ($k \times 3$) の制御を行う回路である。列選択スイッチ部53は、1画素の画像信号 ($k \times 3$) を単位として1ラインの画素の数だけ (つまり $k \times 3 \times j$) 設けられている。各列選

5 択スイッチは、列デコーダ5 1の選択及び画像信号に基づいてスイッチングし、
ビット線を駆動させる。ここで、入力制御回路5 2と列選択スイッチ部5 3とは、
メモリセル部5 6を挟んでアクティブマトリックスLCD部2の反対側に配置す
るようにする。そのため、配線の交差が少なくなり、簡素で低消費電力化が図ら
れる。しかも、入力制御回路5 2及び列選択スイッチ部5 3の動作により、アナ
ログ駆動のLCD 2にノイズを重畠させることができなくなるので、表示の低ノイズ
化を図ることができる。

10 メモリ行デコーダ5 4は、入力されるアドレスデータに基づいて、後述するよ
うにメモリアレイを構成するメモリセル部5 6の任意のメモリセルに記憶させる
ためにワード線を選択する。ワードドライバ5 5は、メモリ行デコーダ5 4が選
択したワード線を実際に駆動させる。したがって、メモリ行デコーダ5 4が選択
したワード線と接続された、列デコーダ5 1が選択した画素に対応する $k \times 3$ 個
のメモリセルにその画素の表示データとして画像信号が記憶されることになる。

15 また、メモリセル部5 6は $k \times 3 \times i \times j$ の数のメモリセルを有し、 i 行 $\times k$
 $\times 3 \times j$ 列のメモリアレイを構成している。このメモリセルの数は、1画面が i
 $\times j$ 画素のディスプレイに対して、R、G、Bの各ドットを $2k$ の階調の明るさ
で表示するために必要な数である。図2では $k=3$ とし、8階調の明るさが設定
できる。このメモリセルの数は、1画面分の画像信号を記憶するために少なくとも
必要なメモリセル数である。例えば、回路によっては、動作安定性を確保する
20 必要性からメモリセルを冗長にもたせて回路構成する場合がある。

ここで、ガラス基板の大きさと実際の表示部分であるアクティブマトリックス
LCD部2の大きさとが同じになればなるほど省スペース化が図れたことにな
る。つまり、メモリセル部5 6の行方向の長さがアクティブマトリックスLCD
部2の行方向の長さ以下になるようにメモリセルを配列すると、最も効率よく、
25 省スペース幅で1列分のメモリセルが配列できることになる。したがって、1ド
ットの表示を制御するのに必要なメモリセルを並べた行方向の長さが、各ドット
のピッチ以下であると、フレームメモリ部5全体の行方向の長さがアクティブマ
トリックスLCD部2の行方向の長さ以下となる。そこで、図2では k ビット分
のメモリセルを並べたときの行方向の長さを、各ドットのピッチと等しくなるよ

うに設計している。また、センスアンプ部5 7の各センスアンプ（又は選択スイッチ）及びkビットDAC部4 1の各kビットDACについても、各ドットのピッチに基づいて設計している。

また、メモリアレイの行数を走査線数であるiと同じにしてフレームメモリ部5が1画面分の表示データを記憶することができるようとする。そのため、各表示位置の画素と各ドット毎に設けたメモリセルとを対応させて記憶させることができる。省スペース化だけを図ろうとするならば、少なくとも1行分のメモリセルを有していればよく、特に走査線数分の行数のメモリアレイを構成する必要はない。ただ、システム全体としてデータの送信量を少なくし、低消費電力を図るためにには、1画面分の表示データを対応させて記憶できるだけのメモリセルが必要となるのである。したがって、CPU110Aからは書き換える画素の表示データ分の画像信号を送信すればよく、書き換えを行わなければ、メモリセル部5 6に記憶された画像信号のデータを、デジタルデータドライバ4はそのまま扱えばよい。

センスアンプ部5 7を構成する各センスアンプは、各列（ビット線）毎に接続されている。ここで、センスアンプを用いるのは、メモリセル部5 6の各メモリセルがダイナミックメモリで構成されている場合である。スタティックメモリで構成されている場合はセンスアンプではなく、選択スイッチを用いて構成する。

デジタルデータドライバ4を構成するkビットDAC部4 1は、 $3 \times j$ 個のkビットDACで構成される。各kビットDACには、あるk個のメモリセルに記憶された画像信号に基づくデジタルデータがk本のビット線から入力される。kビットDACは、そのデータに基づいた値を階調に変換し、その階調に応じてデータ線を駆動させる。LCDにおいては、液晶の寿命を延ばすという目的から交流駆動を行う必要がある。したがって、デジタルデータをそのまま用いることができず、アナログ変換を行わなければならないのである。このようにして、駆動した走査線とデータ線との交点のドットにおいて、表示データに基づく表示制御が行われることになる。

ここで、本発明におけるデジタルデータドライバ4とフレームメモリ部5とは直結（一体化）し、記憶されたデジタルデータを直接用いてデータ線の駆動動作

5 行っている。したがって、便宜上（図1との関連上）、デジタルデータドライバ4をkビットD A C部4 1で構成し、フレームメモリ部5を列デコーダ5 1、入力制御回路5 2、列選択スイッチ部5 3、メモリ行デコーダ5 4、ワードドライバ5 5、メモリセル部5 6及びセンスアンプ部5 7で構成しているが、従来のデジタルデータドライバとフレームメモリとの動作の関係から考えると、実際にはこのような区別は厳密にはできない。

10 メモリコントローラ6は、C P U 1 1 0 Aから送信される表示データをフレームメモリ部5に格納するため、 $k \times 3$ の画像信号として制御する。また、タイミングコントローラ7は、少なくともアドレスバッファ7 1を有し、C P U 1 1 0 Aから送信される表示データを記憶や表示をさせるために、行デコーダ3 1、列デコーダ5 1及びメモリ行デコーダ5 4にアドレス信号を送信する。

15 メモリをチップ等で構成した場合には、チップ内にいかに細密充填ができる、かつ配線等を考慮したレイアウトできるかが問題となる。メモリ等の周辺回路をガラス基板上に構成する場合は、それとは発想が異なる。ガラス基板において、最も大きな面積を占めるのは、実際の表示部分となるアクティブマトリックスL C D部2である。しかもその画素ピッチ（ひいては全体の大きさ）は決まっている。したがって、その大きさにあわせて、いかに効率よく周辺回路等、システムをレイアウトするかが問題となる。消費電力を考慮せずに省スペース化を考えるならメモリセルを少なくすることもできるが、低消費電力を図るには、1画面分のデータを記憶できるだけのメモリセルが必要である。そこで、本実施の形態は、低消費電力化を図るために周辺回路を設定した上で、最も効率のよいレイアウトを示そうとするものである。

20 次に図2に基づいて表示動作について説明する。C P U 1 1 0 Aは、表示を変更する場合に表示データを送信する。したがって、画像が変化しない場合には表示データの送信は行わない。表示を変更する際には、表示を変更する位置（画素）を示すアドレス信号を送信する。また、表示データの画像信号を送信する。ここで、フレームメモリ部5には、走査線に対応させた数のワード線を設け、それぞれのドットに対応した1画面分の表示データ（画像信号）を記憶できるようにした。しかも行デコーダ3 1、メモリ行デコーダ5 4を設けて走査線、ワード線を

選択できるようにした。そのため、順次走査する必要がなく、アドレス信号に応じたランダムな走査線の選択及び駆動ができ、表示データを必要に応じて書き換える際に都合がよい。また、配線の簡素化及び回路面積縮少による省スペース化を図るために、同じアドレス信号が行デコーダ3 1 及びメモリ行デコーダ5 4 に
5 入力され、それぞれ対応する部分に同じタイミングで記憶、表示を行うようにする。列デコーダ5 1 についても、アドレス信号に応じてランダムな画素の選択ができるので、同一走査線上の画素（ドット）に順次書き込んでいく必要はなく、ランダムな書き込みを行える。

表示を変更しない場合には、フレームメモリ部5に記憶された画像信号のデジ
10 タルデータをそのまま用いて表示を行い、C P U 1 1 0 A とはデータのやりとりはしない。ただし、L C Dは前述したように交流駆動しなければならぬので、画素反転駆動を用いて、少なくとも必要最低限の周波数でリフレッシュしながら駆動する必要がある。この制御は走査線ドライバ3 及びデジタルデータドライバ
15 4 により行われる。周波数を低下させると、低消費電力を図ることができるが、突き抜け電圧等によるフリッカー（ちらつき）が生じる。そこで、低消費電力を図りつつ、フリッカーを目立たなくするには、例えば、静止画であれば3 0 H z の周波数でリフレッシュ（液晶は1 5 H z 駆動である）して表示状態を維持する。

フレームメモリ部5に関しても、メモリセルをスタティックメモリで構成していればデータ書き換えを行う（リフレッシュする）必要はないが、ダイナミック
20 メモリで構成していれば、記憶が保持できるようなタイミングでリフレッシュする必要がある。

以上のように第1の実施の形態によれば、S O Pのよう、表示部分だけでなく、周辺回路を含めたシステムを基板上に一体形成しようとする場合に、フレームメモリ部5のメモリセル部5 6において、1 ドットの表示を制御するのに必要な分のメモリセルを並べたときの行方向の長さが、各ドットのピッチ以下になるように、つまりメモリセル部5 6の行方向の長さがアクティブマトリックスL C D部2の行方向の長さ以下になるようにメモリセルを配列するように形成したので、効率よく、省スペース幅で1 行分のメモリセルが配列できる。

また、センスアンプ部5 7 及びk ビットD A C部4 1 についても、同様にした

ので、省スペース化が図れる。

また、メモリアレイの行数を走査線数と同じ（ i 個）にしてフレームメモリ部5が1画面分の表示データ（画像信号）を記憶することができるようにしたので、各位置の画素とメモリセル部5 6のメモリセルとを対応させて1画面分のデータ5を記憶させることができ、CPU110Aからは、書き換える画素の表示データ分の画像信号だけを送信すればよいので、システム全体としてデータの送信量を少なくし、低消費電力を図つつ、最も効率よく、省スペースな形成を行える。

また、行デコーダ3 1、メモリ行デコーダ5 4を設け、アドレス信号に基づいて駆動させる走査線、ワード線を選択できるようにしたので、順次走査する必要10がなく、アドレス信号に応じたランダムな走査線の選択及び駆動ができ、表示データを必要に応じて書き換える際に都合がよい。

また、同じアドレス信号が行デコーダ3 1及びメモリ行デコーダ5 4に入力され、それぞれ対応する部分に同じタイミングで記憶、表示を行うようにしたので、配線の簡素化及び回路面積縮少による省スペース化を図ることができる。

15 また、列デコーダ5 1についても、アドレス信号に応じてランダムな画素の選択ができるので、同一走査線上の画素（ドット）に順次書き込んでいく必要はなく、ランダムな書き込みを行え、表示データを必要に応じて書き換える際に都合がよい。

また、入力制御回路5 2及び列選択スイッチ部5 3をメモリセル部5 6を挟んで20アクティブマトリックスLCD部2の反対側に配置するようにするようにしたので、配線の交差が少なくなり、簡素で低消費電力化が図られる。しかも、入力制御回路5 2及び列選択スイッチ部5 3の動作により、アナログ駆動のLCD2にノイズを重畠させることなく、表示の低ノイズ化を図ることができる。

さらに、メモリコントローラ6及びタイミングコントローラ7についても、パネル1に一体形成するようにしたので、パネル1をCPU110Aと直結することができ、システム全体を低コスト、高信頼性、省スペース化することができる。

実施の形態2.

図3は本発明の第2の実施の形態に係るパネル1Aを詳細に表した図である。

図3のパネル1Aが、図2のパネル1と異なっている点は、行デコーダ3 1とメ

モリ行デコーダ 5 4 とにそれぞれ独立してアドレス信号を入力させる点である。そのため、記憶動作のタイミングと表示動作とのタイミングとを異ならせることができる。駆動周波数は記憶及び表示動作を同時タイミングで行うよりも高くなるが、例えば、あるタイミングでメモリ行デコーダ 5 4 にアドレスデータを送信 5 して記憶動作を行わせた後、次のタイミングで行デコーダ 3 1 にアドレスデータを送信して表示させたりする等様々な駆動を行わせることができる。

以上のように第 2 の実施の形態によれば、行デコーダ 3 1 とメモリ行デコーダ 5 4 とにそれぞれ独立してアドレス信号を入力させるようにしたので、駆動方法の選択に対する自由度を高めることができる。

10 実施の形態 3 .

図 4 は本発明の第 3 の実施の形態に係るパネル 1 B を詳細に表した図である。図 4 のパネル 1 B が、図 2 のパネル 1 と異なっている点は、アドレスバッファ 7 1 から行デコーダ 3 1 A とメモリ行デコーダ 5 4 A とにそれぞれ走査線選択制御信号線、ワード線選択制御信号線が配線され、走査線選択制御信号、ワード線選 15 択制御信号が送信される点である。行デコーダ 3 1 A とメモリ行デコーダ 5 4 A には同じアドレス信号が入力される。ただ、行デコーダ 3 1 A は走査線選択制御信号が ON されている期間しか走査線を選択することができない。また、メモリ行デコーダ 5 4 A も同様に、ワード線選択制御信号が ON されている期間しかワード線を選択することができない。そのため、これらの信号の ON、OFF の制 20 御によっては、記憶動作と表示動作とを異なるタイミングで行うことができる。

以上のように第 3 の実施の形態によれば、走査線選択制御信号に基づいて行デコーダ 3 1 A の走査線選択期間を制限し、また、ワード線選択制御信号に基づいてメモリ行デコーダ 5 4 A のワード線選択期間を制限するようにしたので、記憶動作及び表示動作の駆動方法の選択に対する自由度を高めることができる。その 25 ため、方法によっては様々な駆動制御を行うことができる。

実施の形態 4 .

図 5 は本発明の第 4 の実施の形態に係るパネル 1 C を詳細に表した図である。図 5 のパネル 1 C が、図 4 のパネル 1 B と異なっている点は、 $k = 6$ のような場合を考慮して列選択スイッチ部 5 3 A、センスアンプ部 5 7 A 及びメモリセル部

5 6 Aをレイアウトした点である。また列デコーダ5 1 A及び入力制御回路5 2 Aは、 $k = 6$ により、それぞれ列デコーダ5 1、入力制御回路5 2に比べ、2倍の信号を扱う（図2のパネル1とは、この他に走査線選択制御信号線及びワード線選択制御信号線がある点で異なる）。前述したように、メモリセル部5 6の行方向の長さがアクティブマトリックスLCD部2の行方向の長さ以下になるようにメモリセルを配列すると、最も効率よく、省スペース幅で1列分のメモリセルが配列できることになる。したがって、 k ビット分のメモリセルを行方向に並べた長さが、各ドットのピッチ以下になるように並べるのが理想的ではある。しかし、階調幅を拡げようすると k の値は大きくなる（ $k = 6$ だと64階調となり、約10 26万色の表示ができる）。つまり、1ドット分のデータを記憶させるためのメモリセルの数が多くなる。そのため、 k ビット分のメモリセルをそのまま並べると、ドットのピッチより広くなることが考えられる。そこで、本実施の形態は、メモリセル部5 6 Aにおいて、メモリアレイを多段構成とし、メモリセル部5 6 Aの行方向の長さがアクティブマトリックスLCD部2の行方向の長さ以下になるようにメモリセルを配列するようにレイアウトし、一体形成を行う。
15

また、別の考え方として、メモリアレイの行数を走査線数の整数倍にし、1ドット分のメモリセルを複数行で構成することも考えられる。この場合、 k ビットDAC部4 1はデジタルデータを時分割して処理し、データ線を駆動させる。

以上のように第4の実施の形態によれば、 k ビット分のメモリセルを行方向に並べた長さが、各ドットのピッチ以下にすることができない場合に、メモリアレイを多段構成とし、メモリセル部5 6 Aの行方向の長さがアクティブマトリックスLCD部2の行方向の長さ以下になるように配列するようにレイアウトし、一体形成を行うようにしたので、メモリセル部5 6 Aと k ビットDAC部4 1との配線を容易にしつつ、省スペース化を図ることができる。

25 実施の形態5.

図6は本発明の第5の実施の形態に係るパネル1 Dを詳細に表した図である。

図6のパネル1 Dが、図4のパネル1 Bと異なっている点は、メモリセル部5 6 Bにおけるメモリセルの配置である。また、2画素分の画像信号が同時に入力され、列デコーダ5 1 Bが2画素を同時に選択できる点である。さらに入力制御回

路52A及び列選択スイッチ部53Aは、それぞれ入力制御回路52、列選択スイッチ部53Aに比べ、2倍の信号を扱う。

第4の実施の形態では、kビット分のメモリセルを並べた長さが画素ピッチより長くなる場合について説明した。逆に複数画素（ドット）分のメモリセルを並べた長さが1画素（ドット）分のピッチ以下であるならば、複数画素（ドット）分のメモリセルを1画素（ドット）分のピッチに対応させて並べてレイアウトし、一体形成を行うことで、より省スペース化を図ることができる。ただし、この場合でも、ワード線は共有するのではなく、あくまで走査線と同数のワード線を設けて、各ドットに対応させたメモリセルを設けておくようとする。ただ、この場合は、センスアンプ部57の共有は可能である。

また、図2～図5のように、第1～第4の実施の形態では列デコーダ51は1画素を選択するような構成であった。しかし、本発明はこれに限るものではなく、整数倍を同時に選択できるようにしてもよい。この場合には、画像信号はその倍数に比例して入力されることになる。

以上のように第5の実施の形態によれば、複数画素（ドット）分のメモリセルを並べた長さが1画素（ドット）分のピッチ以下である場合に、複数画素（ドット）分のメモリセルを1画素（ドット）分のピッチに対応させて並べてレイアウトし、一体形成を行うようにしたので、より省スペース化を図ることができる。しかもセンスアンプ部57は共有できる。また列デコーダ511が2画素を同時に選択できるようにしたので、配線としては複雑になるが、駆動周波数を低下させることができ、低消費電力化を図ることができる。また、単結晶FETよりも特性が劣るアクティブ素子で駆動させても十分な動作が得られる。

実施の形態6.

図7は本発明の第6の実施の形態に係るパネル1Eを詳細に表した図である。

図7のパネル1Eが、図2のパネル1と異なっている点は、実際に表示を行う部分が、表示駆動部としてのデジタル対応のアクティブマトリクスOEL部8となっている点である。また、kビットDAC部41を用いていない点である。

OEL (Organic Electro Luminescent) とは、有機EL素子のことである。このOEL素子は液晶とは異なり自発光素子である。そのため、次のような特徴

を有し、ディスプレイの分野や他の分野で期待されている素子である。

- (1) 視野角が広い
- (2) 軽量薄型化が可能
- (3) コントラスト比が高い
- 5 (4) 低消費電力 (バックライトの必要なし)
- (5) 分子設計によるマルチカラーの可能性
- (6) 電流駆動のため高精細表示が可能

図8はアクティブマトリクスOEL部8の回路配置を示す図である。図8は2画素分の配置を示している。前述したように、LCDにおいては液晶の寿命を延ばすという目的から交流駆動を行う必要がある。したがって、一般的には、デジタルデータをそのまま用いず、アナログ変換を行っている。通常、OELを発光させる場合も、デジタルデータのアナログ変換を行い、例えば2トランジスタ方式を用いて、変換したアナログ信号（データ）を容量等に保持する。そして、トランジスタのアンプの出力電流を、その変換したアナログデータで制御し、OELの発光制御をする。ただ、OELは直流で駆動（DC駆動）する。一方、図8のように、各メモリセルに記憶された画像信号のようなデジタルデータをそのまま扱うこともできる。

次に、フレームメモリに記憶された表示データを表示させる方法についてR1（1列目の画素のR）のドットを例にして説明する。R1には8階調を表すために7つのOEL素子が設けられている。そして、その7つのOEL素子は、それぞれ1つのOEL素子、2つのOEL素子、4つのOEL素子に分けられ、各ビット線と対応したR1S、R1T、R1Uと接続されている。階調の差は発光面積で表される。したがって、階調0の時はR1S、R1T、R1Uを駆動せず、どの素子も発光させない。階調1の時はR1Sを駆動し、1つのOEL素子を発光させる。同様に、階調2の時はR1Tを駆動して2つのOEL素子を発光させ、階調3の時はR1SとR1Tを駆動して、3つのOEL素子を発光させる。この組み合わせにより、階調を表現するのである。これは、G及びBのドットに関しても同様である。

ここで、OELはDC駆動でよいので表示を変更させる必要がない場合は、通

常、反転駆動等によるリフレッシュは必要がない。ただ、図8ではダイナミック回路を用いているので、表示に変更がなくても、一定期間毎にフレームメモリ部5の各メモリセルに記憶されたデータに基づいてリフレッシュし、表示を維持する必要がある。

5 図7は第1の実施の形態である図2に対応させて記載しているが、第2～第5の実施の形態のそれぞれのパネルを採用した表示装置にアクティブマトリクスOEL部8を適用できるのはもちろんいうまでもないことである。

また、第6の実施の形態では、いわゆる面積階調によりデジタル駆動を行う例を示しているが、例えば時分割駆動によりデジタル駆動を行う構成であっても、
10 或いは、面積階調及び時分割階調を組み合わせてデジタル駆動を行う構成であっても構わない。時分割駆動とするには、一定周期で繰り返されるタイミング信号に同期して、各画素の各ビットのデジタル信号に対応した各ビット毎に異なる期間で、OEL素子にオン／オフ信号を印加すればよい。

以上のように第6の実施の形態によれば、表示に自発光素子であるOEL素子
15 を用いるようにしたので、第1～第5の実施の形態における効果を得られるだけでなく、バックライト不要による低消費電力や軽量化等を図ることができる。しかも、フレームメモリ部5に記憶するデジタルデータをアナログ変換することなくそのまま用いて階調表示をすることも可能なので、D A Cのような回路を用いなくともよく、周辺回路の省スペース化を図ることができるとともに、消費電力
20 の低減が図られる。

実施の形態7.

図9は本発明の第7の実施の形態に係るパネル1Fを詳細に表した図である。
図9のパネル1Fが、図7のパネル1Eと異なっている点は、実際に表示を行う部分が、表示駆動部としてのアクティブマトリクスLCD部2Aとなっている点
25 である。

なお、図9のパネル1Fが、図2のパネル1と異なっている点は、実際に表示を行う部分が、デジタル対応のアクティブマトリクスLCD部2Aとなっている点である。また、kビットD A C部41を用いていない点である。

図10はアクティブマトリクスLCD部2Aの回路配置を示す図である。図1

0は2画素分の配置を示している。前述したように、LCDにおいては、液晶の寿命を延ばすという目的から交流駆動を行う必要があるため、一般的には、デジタルデータをそのまま用いず、アナログ変換を行っている。図10の構成は、後述のように、LCDにおいて、各メモリセルに記憶された画像信号のようなデジタルデータをそのまま扱うこともできるようにしたものである。

次に、フレームメモリに記憶された表示データを表示させる方法についてR1(1列目の画素のR)のドットを例にして説明する。R1には8階調を表すために、それぞれが独立した画素電極に覆われた3つの液晶領域が設けられている。そして、その3つの液晶領域は、それらの面積比が1:2:4となっており、各ビット線と対応したR1S、R1T、R1Uと接続されている。また、アクティブマトリクスLCD部2Aの液晶領域以外の部分、つまり画素電極以外全ての部分は、遮光されている。よって、階調の差は透過状態となっている液晶領域の面積で表される。したがって、階調0の時はR1S、R1T、R1Uを駆動させず、どの液晶領域も遮光状態とする。階調1の時はR1Sを駆動し、面積比1の液晶領域を透過状態とする。同様に、階調2の時はR1Tを駆動して面積比2の液晶領域を透過状態とし、階調3の時はR1SとR1Tを駆動して、面積比1と面積比2の液晶領域を透過状態とする。この組み合わせにより、階調を表現するのである。これは、G及びBのドットに関しても同様である。

そして、本実施の形態では、各液晶領域に電圧を印加するための共通給電線VLCには、矩形波を供給するようになっている。共通給電線VLCに供給される矩形波の電圧は、正負両方の電位のそれぞれが液晶を完全に立ち上げができる電圧であり、また、その矩形波の周波数は、通常の液晶表示装置における交流駆動の周波数と同じである。これにより、デジタル対応のアクティブマトリクスLCD部2Aが実現されている。

なお、本実施の形態の図10にあっても、上記第6の実施の形態の図8と同様に、ダイナミック回路を用いているので、一定期間毎にフレームメモリ部5の各メモリセルに記憶されたデータに基づいてリフレッシュし、表示を維持する必要がある。

また、図9は第1の実施の形態である図2に対応させて記載しているが、第2

～第5の実施の形態のそれぞれのパネルを採用した表示装置に、デジタル対応のアクティブマトリクスLCD部2Aを適用できるのはもちろんいうまでもないことである。

そして、第7の実施の形態は透過型のLCDを前提として構成等を説明しているが、反射型のLCDであっても同様の思想は適用可能である。反射型のLCDであると、画素電極の下側にもデバイスを配置できるため、より複雑な回路でも実現可能であり、多ビット化を図る上で有利である。

また、第7の実施の形態では、いわゆる面積階調によりデジタル駆動を行う例を示しているが、例えば時分割駆動によりデジタル駆動を行う構成であっても、10或いは、面積階調及び時分割階調を組み合わせてデジタル駆動を行う構成であっても構わない。時分割駆動とするには、一定周期で繰り返されるタイミング信号に同期して、各画素の各ビットのデジタル信号に対応した各ビット毎に異なる期間で、液晶にオン／オフ信号を印加すればよい。

以上のように第7の実施の形態によれば、フレームメモリ部5に記憶するデジタルデータをアナログ変換することなくそのまま用いて階調表示をすることも可能なので、DACのような回路を用いなくてもよく、周辺回路の省スペース化を図ることができるとともに、消費電力の低減が図られる。

実施の形態8.

なお、上述の実施の形態は、カラーディスプレイを前提に説明したが、本発明20はモノクロディスプレイにも対応できる。

産業上の利用の可能性

以上のように特許請求の範囲第1、2項に係る発明によれば、例えば多結晶シリコン上にTFTだけでなく、周辺回路を含めて一体形成する場合に、列デコーダ部、列選択スイッチ部及びデータ線ドライバ部だけでなく、少なくとも表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセル部のメモリセルを、表示駆動部の行方向の長さに対応して割り付けるようにした（例えば、列デコーダ部、列選択スイッチ部、データ線ドライバ及びメモリセル部を、それらの行方向長さが表示駆動部の行方向長さ以下となるように割り

付けるようにした) ので、効率よく、省スペース幅で 1 列分のメモリセルが配列できる。

また、特許請求の範囲第 3、4 項に係る発明によれば、例えば有機 E L 素子を用いて表示制御を行う表示駆動回路を、周辺回路を含めて多結晶シリコン上に一体形成する場合に、列デコーダ部、列選択スイッチ部及びデータ線ドライバ部だけでなく、少なくとも表示駆動部の 1 行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセル部のメモリセルを、表示駆動部の行方向の長さに対応して割り付けるようにした(例えば、列デコーダ部、列選択スイッチ部、データ線ドライバ部及びメモリセル部を、それらの行方向長さが表示駆動部の行方向長さ以下となるように割り付けるようにした)ので、効率よく、省スペース幅で 1 列分のメモリセルが配列できる。

また、特許請求の範囲第 5、6 項に係る発明によれば、例えば多結晶シリコン上に、液晶を用いて表示制御を行う表示駆動回路を周辺回路を含めて一体形成する場合に、列デコーダ部及び列選択スイッチ部だけでなく、少なくとも表示駆動部の 1 行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセル部のメモリセルを、表示駆動部の行方向の長さに対応して割り付けるようにした(例えば、列デコーダ部、列選択スイッチ部及びメモリセル部を、それらの行方向長さが表示駆動部の行方向長さ以下となるように割り付けるようにした)ので、効率よく、省スペース幅で 1 列分のメモリセルが配列できる。また、有機 E L 素子は D C 駆動するので、デジタル信号である画像信号を直接用いることでもできるので、例えば D A C のような回路を設ける必要がなくなる。

また、特許請求の範囲第 7、8 項に係る発明によれば、例えば多結晶シリコン上に、有機 E L 素子を用いて表示制御を行う表示駆動回路を周辺回路を含めて一体形成する場合に、列デコーダ部及び列選択スイッチ部だけでなく、少なくとも表示駆動部の 1 行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセル部のメモリセルを、表示駆動部の行方向の長さに対応して割り付けるようにした(例えば、列デコーダ部、列選択スイッチ部及びメモリセル部を、それらの行方向長さが表示駆動部の行方向長さ以下となるように割り付けるようにした)ので、効率よく、省スペース幅で 1 列分のメモリセルが配列できる。また、

有機EL素子はDC駆動するので、デジタル信号である画像信号を直接用いることもできるので、例えばDACのような回路を設ける必要がなくなる。

また、特許請求の範囲第9項に係る発明によれば、表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルの数を冗長に構成しても、それを表示部の行方向の長さに基づいて割り付けるようにした（例えば、メモリセル部の行方向長さが表示駆動部の行方向長さ以下となるように割り付けるようにした）ので、効率よく、省スペース幅を図ることができる。

また、特許請求の範囲第10項に係る発明によれば、走査線と等しい数だけ設けたワード線を選択して駆動させるワード線ドライバ部をさらに基板上に集積して一体形成し、メモリセル部を表示駆動部のドット配列に対応したメモリアレイで構成するようにし、1画面分を表示するために必要な画像信号を記憶するようにしたので、外部とのデータ量のやりとりを少なくして低消費電力を図ることができる。

また、特許請求の範囲第11項に係る発明によれば、走査線ドライバ部、ワード線ドライバ部はアドレス信号に基づいて駆動させる走査線、ワード線を選択できるようにしたので、順次走査する必要がなく、アドレス信号に応じたランダムな走査線の選択及び駆動ができ、表示データを必要に応じて書き換える際に都合がよい。

また、特許請求の範囲第12項に係る発明によれば、走査線ドライバ部とワード線ドライバ部同じ線を共有するようにしたので、配線の簡素化及び回路面積縮少による省スペース化を図ることができる。

また、特許請求の範囲第13項に係る発明によれば、走査線ドライバ部とワード線ドライバ部には独立したアドレス信号を入力するようにしたので、記憶動作及び表示動作の自由度を高めることができる。

また、特許請求の範囲第14項に係る発明によれば、走査線ドライバ部は、走査線ドライバ制御信号が入力されている間だけ、アドレス信号に基づいて走査線の選択駆動動作を行い、ワード線ドライバ部は、ワード線ドライバ制御信号が入力されている間だけ、アドレス信号に基づいてワード線の選択駆動動作を行うようにしたので、記憶動作及び表示動作の駆動方法の選択に対する自由度を高める

ことができる。そのため、方法によっては様々な駆動制御を行うことができる。

また、特許請求の範囲第15項に係る発明によれば、列デコーダ部は、アドレス信号により画像信号を記憶させるメモリセルをランダムに選択できるようにしたので、同一走査線上のドットに順次書き込んでいく必要はなく、ランダムな書き込みを行え、表示データを必要に応じて書き換える際に都合がよい。
5

また、特許請求の範囲第16項に係る発明によれば、1画素単位で画像信号を入力するようにし、列デコーダ部は、その入力に基づいて表示の変更単位となる1画素分のメモリセルを選択するようにしたので、都合がよい。

また、特許請求の範囲第17項に係る発明によれば、複数画素単位で画像信号を入力するようにし、列デコーダ部は、その入力に基づいて複数画素分のメモリセルを選択するようにしたので、配線としては複雑になるが、駆動周波数を低下させることができ、低消費電力化を図ることができる。また、単結晶FETよりも特性が劣るアクティブ素子で駆動させても十分な動作が得られる。
10

また、特許請求の範囲第18項に係る発明によれば、画像信号の入力配線及び列選択スイッチ部は、メモリセル部を挟んで表示駆動部と反対側に形成するようにしたので、配線の交差を少なくして低消費電力を図り、またスイッチング等の影響による表示画面のノイズ重疊を防ぐことができる。
15

また、特許請求の範囲第19項に係る発明によれば、多段構成にして構成し、形成するようにしたので、例えば階調数増加による1ドット分のメモリセル増加により、表示駆動部の行方向の長さに対応させてメモリセルが割り付けられない場合にも配線を容易にしつつ、省スペース化を図ることができる。
20

また、特許請求の範囲第20項に係る発明によれば、複数行により構成したので、例えば階調数増加による1ドット分のメモリセル増加により、表示駆動部の行方向の長さに対応させてメモリセルが割り付けられない場合に、列方向の長さが広がるもの、行方向の長さを抑えることができる。
25

また、特許請求の範囲第21、22項に係る発明によれば、表示駆動部の行方向の長さに対応させて複数行分のメモリセルが割り付けられる場合は、表示駆動部の複数行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルを表示駆動部の行方向の長さに対応させて割り付けた（例えば、メモリセル

を行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けた)メモリアレイで構成したので、より省スペース化を図ることができる。

また、特許請求の範囲第23項に係る発明によれば、アドレス信号を送信するタイミングを制御するタイミングコントローラ部と、画像信号の送信を制御するメモリコントローラ部とをさらに基板上に集積し、一体形成し、表示を制御するのに必要な周辺回路を全てシステムティックに同一基板上に一体形成するようにしたので、システム全体を低コスト、高信頼性、省スペース化することができる。

また、特許請求の範囲第24項に係る発明によれば、表示駆動部とメモリセル部との間にD/A変換器を設けて、アナログ信号に変換された画像信号を表示駆動部に供給するようにしているから、アナログ信号対応の表示駆動部で表示を行うことができる。

また、特許請求の範囲第25、26項に係る発明によれば、表示駆動部とメモリセル部とを直結して、デジタル信号でなる画像信号を表示駆動部に直接供給するようにしているから、デジタル信号対応の表示駆動部で表示を行うことができるとともに、消費電力の低減も図られる。

請求の範囲

1. 表示の最小単位であるドットに対応させて複数の走査線及び複数のデータ線を格子状に形成し、各交点に対応させて能動素子を設け、走査線及びデータ線の駆動により液晶を用いた表示制御をする表示駆動部と、
前記表示駆動部の列方向の長さに対応して割り付けられ、前記走査線を選択して駆動させる走査線ドライバ部と、
少なくとも前記表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルが、前記表示駆動部の行方向の長さに対応して割り付けられるメモリセル部と、
前記表示駆動部の行方向の長さに対応して割り付けられ、入力される画像信号を記憶させる前記メモリセルを選択する列デコーダ部と、
前記表示駆動部の行方向の長さに対応して割り付けられ、該列デコーダ部の選択と前記画像信号とに基づいてスイッチングし、前記列デコーダ部に選択されたメモリセルに画像信号を記憶させる列選択スイッチ部と、
前記表示駆動部の行方向の長さに対応して割り付けられ、前記メモリセル部に記憶された画像信号に基づいて前記データ線を駆動させるデータ線ドライバ部と、
20 を半導体又は絶縁体の基板上に集積し、一体形成したことを特徴とする表示装置。
2. 表示の最小単位であるドットに対応させて複数の走査線及び複数のデータ線を格子状に形成し、各交点に対応させて能動素子を設け、走査線及びデータ線の駆動により液晶を用いた表示制御をする表示駆動部と、
列方向の長さが前記表示駆動部の列方向の長さ以下になるように割り付けられ、前記走査線を選択して駆動させる走査線ドライバ部と、
少なくとも前記表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルが、その行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられるメモリセル部と、
行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けら

れ、入力される画像信号を記憶させる前記メモリセルを選択する列デコーダ部と、行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられ、該列デコーダ部の選択と前記画像信号とに基づいてスイッチングし、前記列デコーダ部に選択されたメモリセルに画像信号を記憶させる列選択スイッチ部

5 と、

行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられ、前記メモリセル部に記憶された画像信号に基づいて前記データ線を駆動させるデータ線ドライバ部と、

を半導体又は絶縁体の基板上に集積し、一体形成したことを特徴とする表示装置。

10 3. 表示の最小単位であるドットに対応させて複数の走査線及び複数のデータ線を格子状に形成し、各交点に対応させて能動素子を設け、走査線及びデータ線の駆動により、前記能動素子に接続された有機EL素子を発光させて表示制御をする表示駆動部と、

15 前記表示駆動部の列方向の長さに対応して割り付けられ、前記走査線を選択して駆動させる走査線ドライバ部と、

少なくとも前記表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルが、前記表示駆動部の行方向の長さに対応して割り付けられるメモリセル部と、

20 前記表示駆動部の行方向の長さに対応して割り付けられ、入力される画像信号を記憶させる前記メモリセルを選択する列デコーダ部と、

前記表示駆動部の行方向の長さに対応して割り付けられ、該列デコーダ部の選択と前記画像信号とに基づいてスイッチングし、前記列デコーダ部に選択されたメモリセルに画像信号を記憶させる列選択スイッチ部と、

25 前記表示駆動部の行方向の長さに対応して割り付けられ、前記メモリセル部に記憶された画像信号に基づいて前記データ線を駆動させるデータ線ドライバ部と、

を半導体又は絶縁体の基板上に集積し、一体形成したことを特徴とする表示装置。

4. 表示の最小単位であるドットに対応させて複数の走査線及び複数のデータ線を格子状に形成し、各交点に対応させて能動素子を設け、走査線及びデータ線の

駆動により、前記能動素子に接続された有機EL素子を発光させて表示制御をする表示駆動部と、

列方向の長さが前記表示駆動部の列方向の長さ以下になるように割り付けられ、前記走査線を選択して駆動させる走査線ドライバ部と、

5 少なくとも前記表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルが、その行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられるメモリセル部と、

行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられ、入力される画像信号を記憶させる前記メモリセルを選択する列デコーダ部と、

10 行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられ、該列デコーダ部の選択と前記画像信号とに基づいてスイッチングし、前記列デコーダ部に選択されたメモリセルに画像信号を記憶させる列選択スイッチ部と、

行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けら

15 れ、前記メモリセル部に記憶された画像信号に基づいて前記データ線を駆動させるデータ線ドライバ部と、

を半導体又は絶縁体の基板上に集積し、一体形成したことを特徴とする表示装置。

5. 複数の走査線及び複数のビット線が設けられ、また、対応する前記走査線及び前記ビット線の駆動により表示制御される液晶が、表示制御の最小単位である
20 ドット毎に備えられ、マトリクス状に形成された表示駆動部と、

少なくとも前記表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルが前記表示駆動部の行方向の長さに対応して割り付けられ、また各メモリセルが前記ビット線と接続されたメモリセル部と、

前記表示駆動部の行方向の長さに対応して割り付けられ、入力される画像信号を記憶させる前記メモリセルを選択する列デコーダ部と、

前記表示駆動部の行方向の長さに対応して割り付けられ、該列デコーダ部の選択と前記画像信号とに基づいてスイッチングし、前記列デコーダ部に選択されたメモリセルに画像信号を記憶させる列選択スイッチ部と、

を半導体又は絶縁体の基板上に集積し、一体形成したことを特徴とする表示装置。

6. 複数の走査線及び複数のビット線が設けられ、また、対応する前記走査線及び前記ビット線の駆動により表示制御される液晶が、表示制御の最小単位であるドット毎に備えられ、マトリクス状に形成された表示駆動部と、

少なくとも前記表示駆動部の1行のドット分の表示制御を行うだけの画像信号

5 を記憶できる数のメモリセルが、その行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられ、また各メモリセルが前記ビット線と接続されたメモリセル部と、

行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられ、入力される画像信号を記憶させる前記メモリセルを選択する列デコーダ部と、

10 行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられ、該列デコーダ部の選択と前記画像信号とに基づいてスイッチングし、前記列デコーダ部に選択されたメモリセルに画像信号を記憶させる列選択スイッチ部と、

を半導体又は絶縁体の基板上に集積し、一体形成したことを特徴とする表示装置。

15 7. 複数の走査線及び複数のビット線が設けられ、また、対応する前記走査線及び前記ビット線の駆動により発光表示制御される有機EL素子が、表示制御の最小単位であるドット毎に備えられ、マトリクス状に形成された表示駆動部と、

少なくとも前記表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルが前記表示駆動部の行方向の長さに対応して割り付けられ、また各メモリセルが前記ビット線と接続されたメモリセル部と、

前記表示駆動部の行方向の長さに対応して割り付けられ、入力される画像信号を記憶させる前記メモリセルを選択する列デコーダ部と、

前記表示駆動部の行方向の長さに対応して割り付けられ、該列デコーダ部の選択と前記画像信号とに基づいてスイッチングし、前記列デコーダ部に選択されたメモリセルに画像信号を記憶させる列選択スイッチ部と、

を半導体又は絶縁体の基板上に集積し、一体形成したことを特徴とする表示装置。

8. 複数の走査線及び複数のビット線が設けられ、また、対応する前記走査線及び前記ビット線の駆動により発光表示制御される有機EL素子が、表示制御の最小単位であるドット毎に備えられ、マトリクス状に形成された表示駆動部と、

少なくとも前記表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルが、その行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられ、また各メモリセルが前記ビット線と接続されたメモリセル部と、

5 行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられ、入力される画像信号を記憶させる前記メモリセルを選択する列デコーダ部と、
行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けられ、該列デコーダ部の選択と前記画像信号とに基づいてスイッチングし、前記列デコーダ部に選択されたメモリセルに画像信号を記憶させる列選択スイッチ部
10 と、

を半導体又は絶縁体の基板上に集積し、一体形成したことを特徴とする表示装置。

9. 前記表示駆動部の行方向の長さに対応して割り付けられ、前記表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルの数を、冗長に構成することを特徴とする特許請求の範囲第1乃至8項のいずれか
15 に記載の表示装置。

10. 前記メモリセル部は、前記走査線の数と等しい数だけ設けられた各ワード線に、前記1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルを接続して、前記表示駆動部のドット配列に対応したメモリアレイで構成され、

20 また、前記ワード線を選択して駆動させるワード線ドライバ部を、さらに前記基板上に集積し、一体形成することを特徴とする特許請求の範囲第1乃至8項のいずれかに記載の表示装置。

11. 表示位置及び記憶位置を示すアドレス信号に基づいて、前記走査線ドライバ部は前記走査線を選択し、また、前記ワード線ドライバ部は前記ワード線を選
25 択することを特徴とする特許請求の範囲第10項記載の表示装置。

12. 前記走査線ドライバ部と前記ワード線ドライバ部には同じアドレス信号が入力されることを特徴とする特許請求の範囲第11項記載の表示装置。

13. 前記走査線ドライバ部と前記ワード線ドライバ部には独立したアドレス信号が入力されることを特徴とする特許請求の範囲第11項記載の表示装置。

14. 前記走査線ドライバ部は、走査線ドライバ制御信号が入力されている間だけ、前記アドレス信号に基づいて前記走査線の選択駆動動作を行い、また、前記ワード線ドライバ部は、ワード線ドライバ制御信号が入力されている間だけ、前記アドレス信号に基づいて前記ワード線の選択駆動動作を行うことを特徴とする

5 特許請求の範囲第11項記載の表示装置。

15. 前記列デコーダ部は、前記アドレス信号に基づいて、入力される画像信号を記憶させるメモリセルを選択することを特徴とする特許請求の範囲第11項記載の表示装置。

16. 光源色である赤、青及び緑を発色表示させるために設けられた3ドットを

10 1画素とし、前記画像信号は1画素単位で入力され、また、前記列デコーダ部は、1画素分のメモリセルを選択することを特徴とする特許請求の範囲第15項記載の表示装置。

17. 光源色である赤、青及び緑を発色表示させるために設けられた3ドットを

1画素とし、前記画像信号は複数画素単位で入力され、また、前記列デコーダ部は、複数画素分のメモリセルを選択することを特徴とする特許請求の範囲第15項記載の表示装置。

18. 前記メモリセル部に記憶させる画像信号の入力配線及び前記列選択スイッチ部は、前記メモリセル部を挟んで表示駆動部と反対側に形成されることを特徴とする特許請求の範囲第1乃至8項のいずれかに記載の表示装置。

20 19. 前記メモリセル部は、前記表示駆動部の行方向の長さに対応させてメモリセルが割り付けられ、多段構成で形成されることを特徴とする特許請求の範囲第1乃至8項のいずれかに記載の表示装置。

20. 前記走査線の数の整数倍の数のワード線を設け、前記メモリセル部は、前記表示駆動部の1行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルを前記整数倍の数のワード線に分けて接続させたメモリアレイで構成されることを特徴とする特許請求の範囲第10項記載の表示装置。

21. 前記メモリセル部は、前記表示駆動部の複数行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルを前記表示駆動部の行方向の長さに対応させて割り付けたメモリアレイで構成されることを特徴とする特許請求の

範囲第 1 乃至 8 項のいずれかに記載の表示装置。

22. 前記メモリセル部は、前記表示駆動部の複数行のドット分の表示制御を行うだけの画像信号を記憶できる数のメモリセルを行方向の長さが前記表示駆動部の行方向の長さ以下になるように割り付けたメモリアレイで構成されることを特

5 徴とする特許請求の範囲第 1 乃至 8 項のいずれかに記載の表示装置。

23. 前記アドレス信号を送信するタイミングを制御するタイミングコントローラ部と、

前記画像信号の送信を制御するメモリコントローラ部と、

をさらに前記基板上に集積し、一体形成することを特徴とする特許請求の範囲第

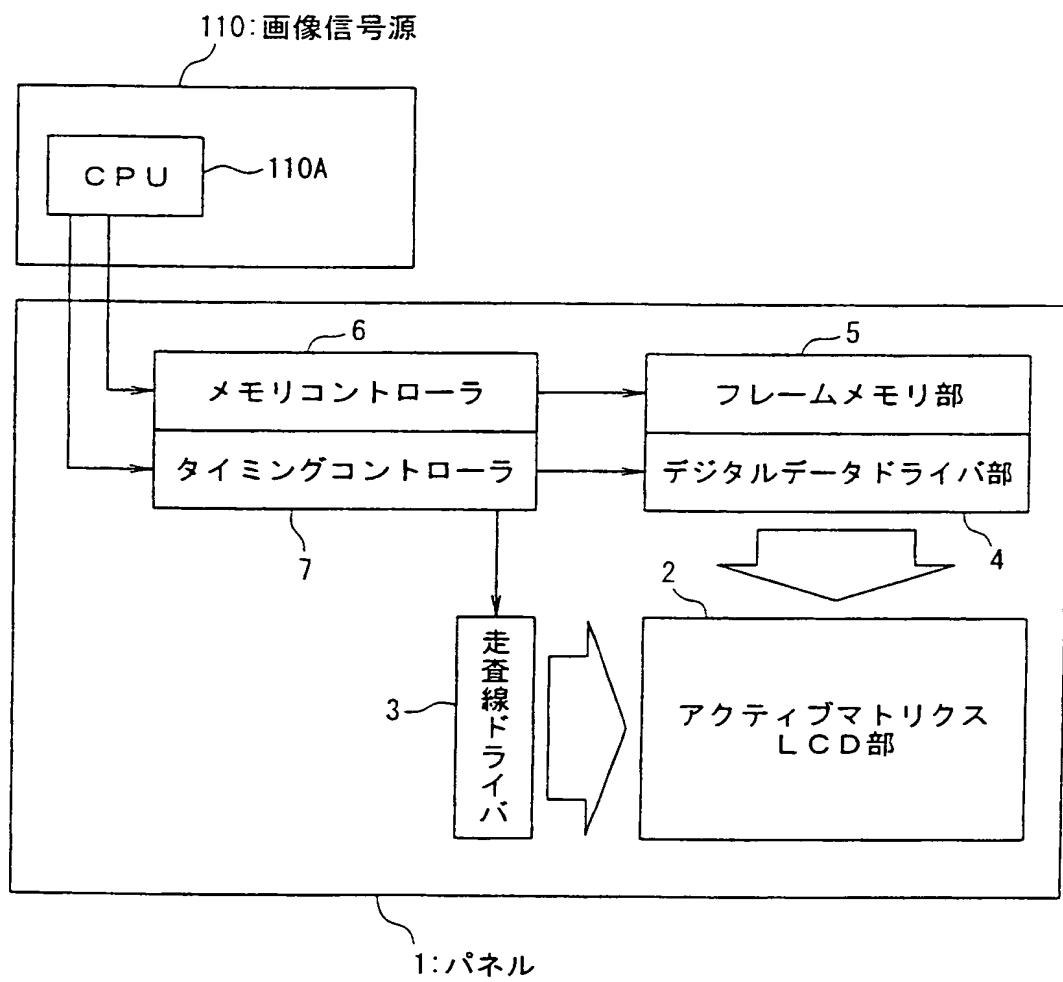
10 11 乃至 22 項のいずれかに記載の表示装置。

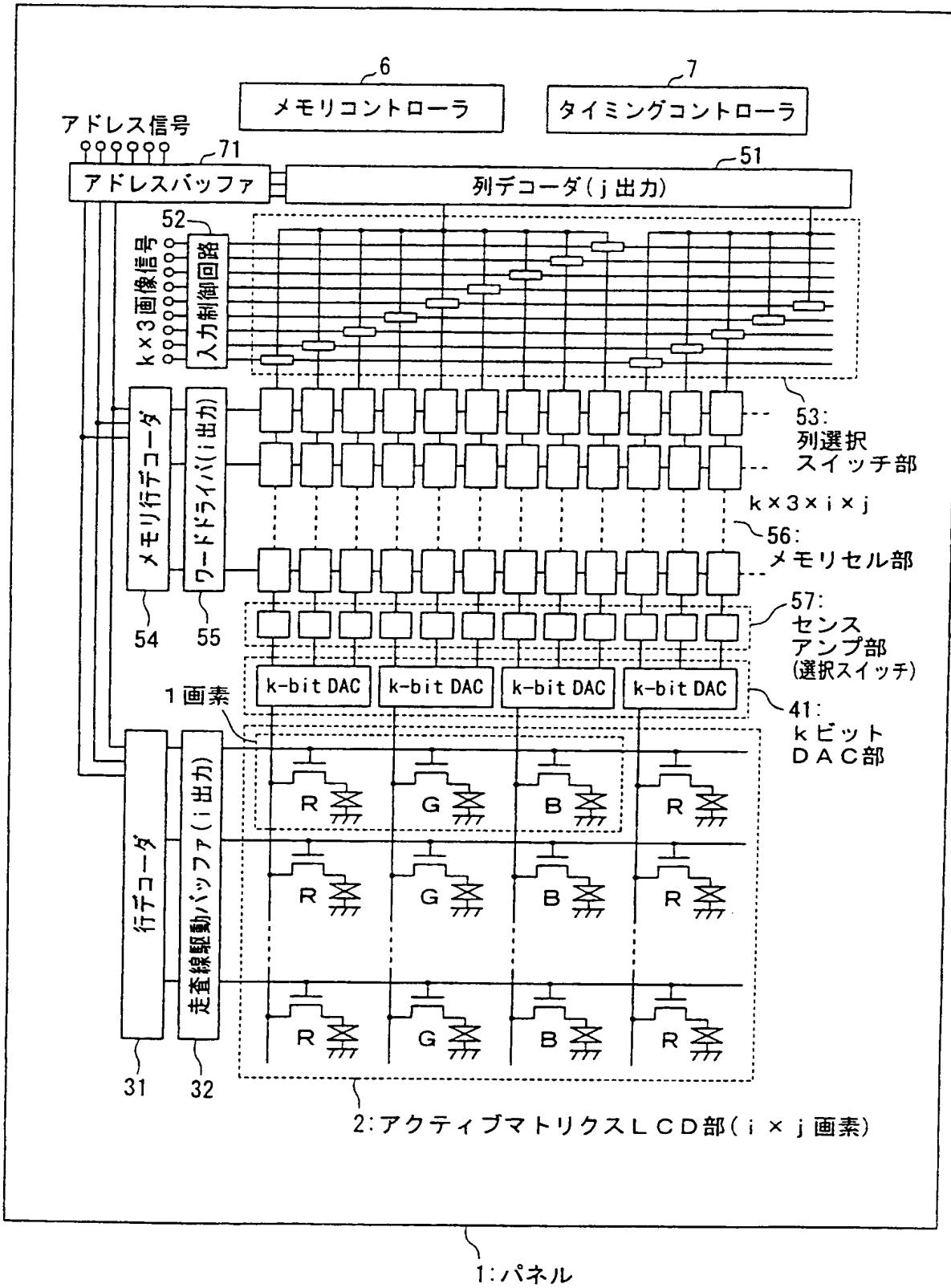
24. 前記表示駆動部と前記メモリセル部との間にD/A変換器を設けることにより、前記メモリセル部に記憶されているデジタル信号でなる前記画像信号を、アナログ信号に変換してから前記表示駆動部に供給するようになっている特許請求の範囲第 1 乃至 8 項のいずれかに記載の表示装置。

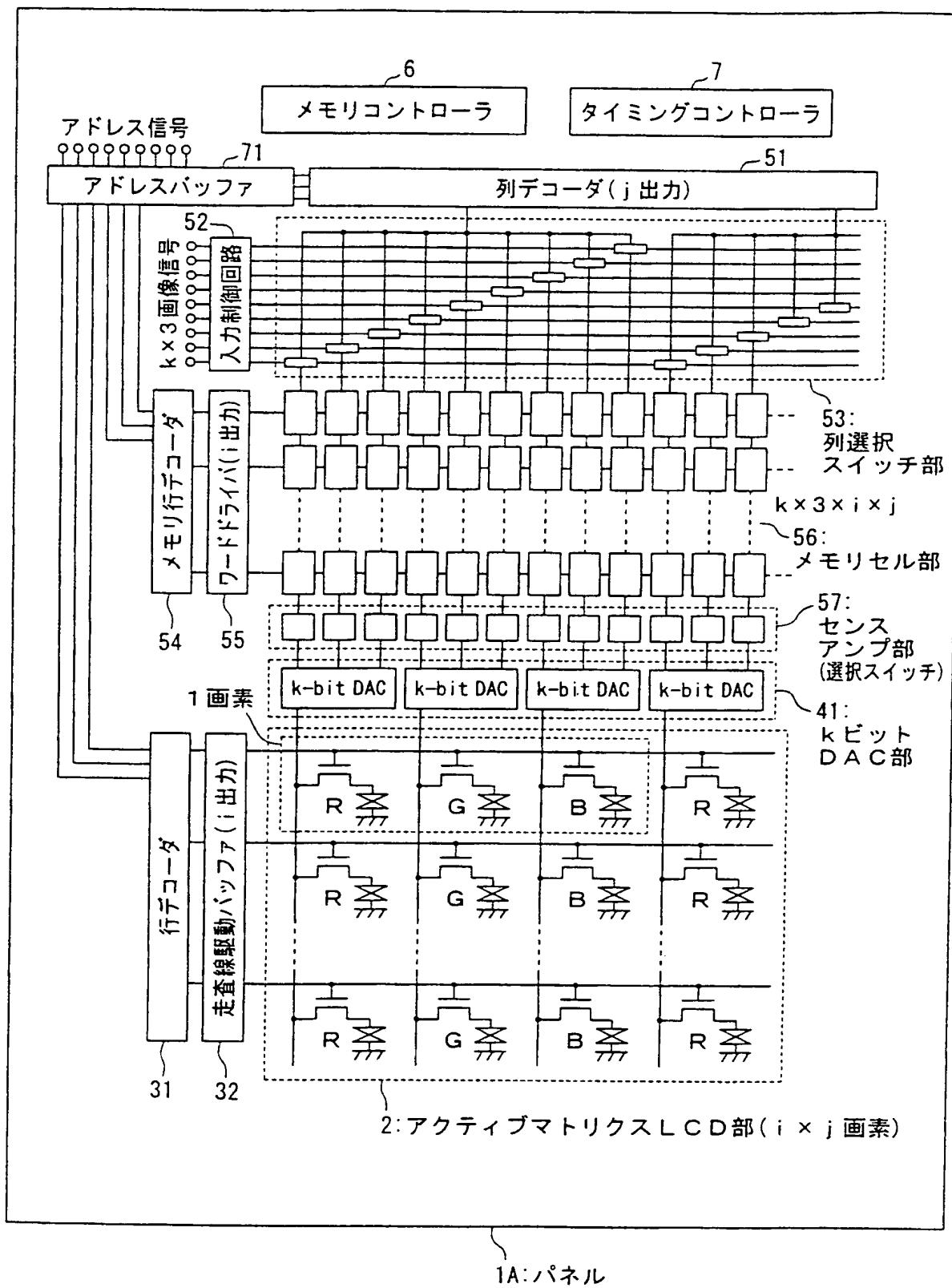
15 25. 前記表示駆動部と前記メモリセル部とを直結することにより、前記メモリセル部に記憶されているデジタル信号でなる前記画像信号を前記表示駆動部に供給するようになっている特許請求の範囲第 1 乃至 8 項のいずれかに記載の表示装置。

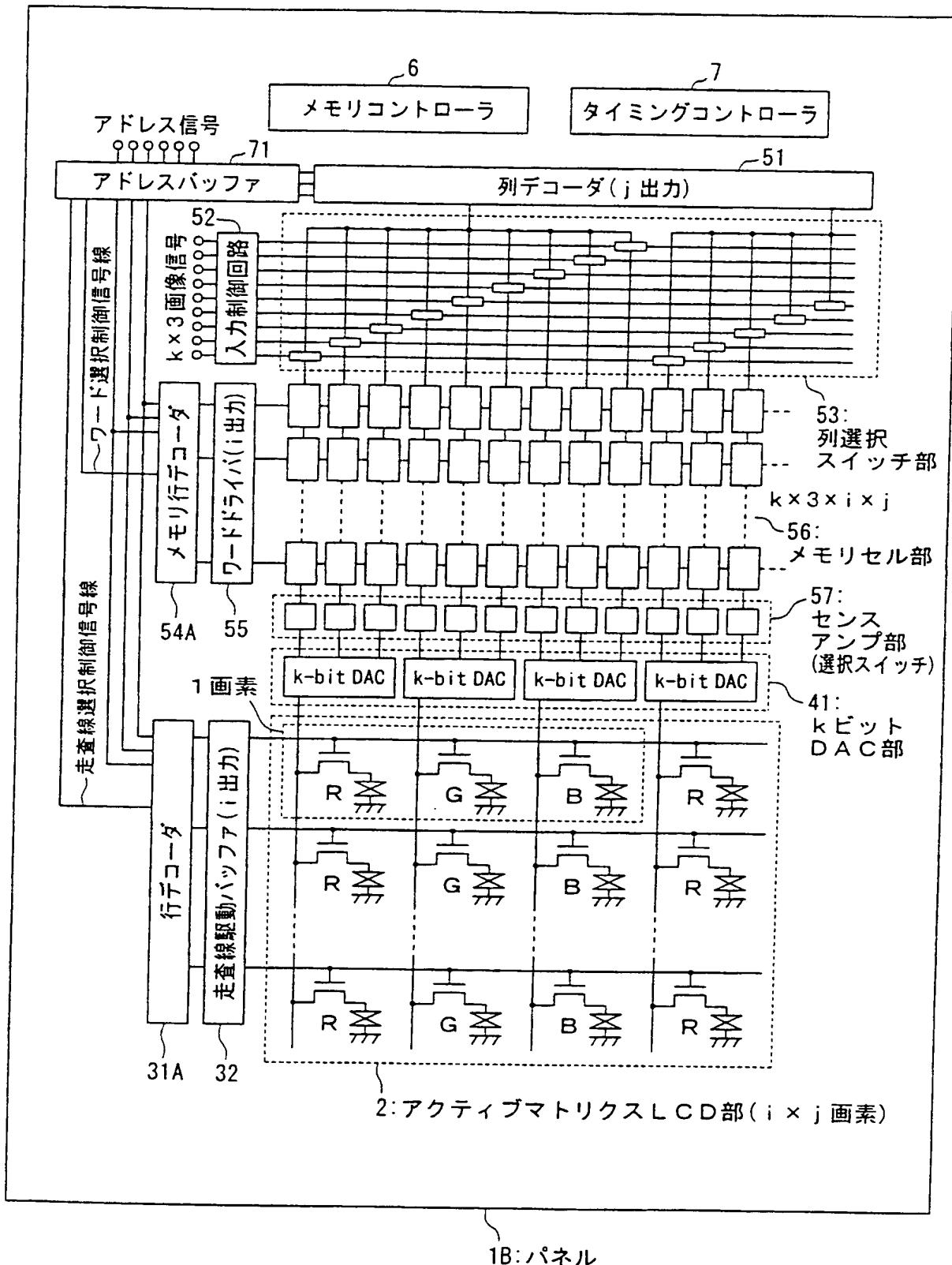
26. 前記表示駆動部は、面積階調又は時分割階調若しくはそれらの組み合わせ

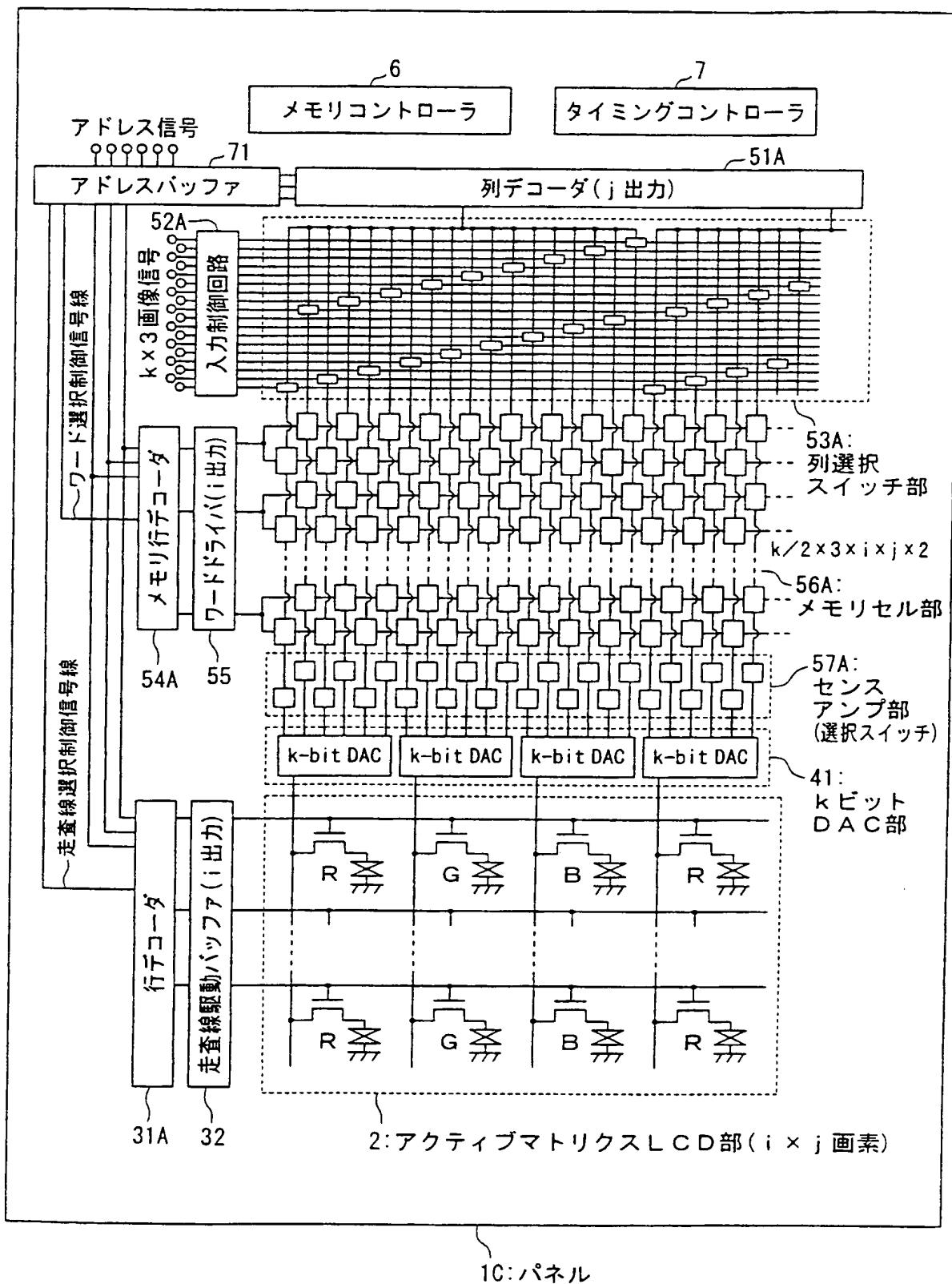
20 によってデジタル駆動を行うようになっている特許請求の範囲第 25 項記載の表示装置。

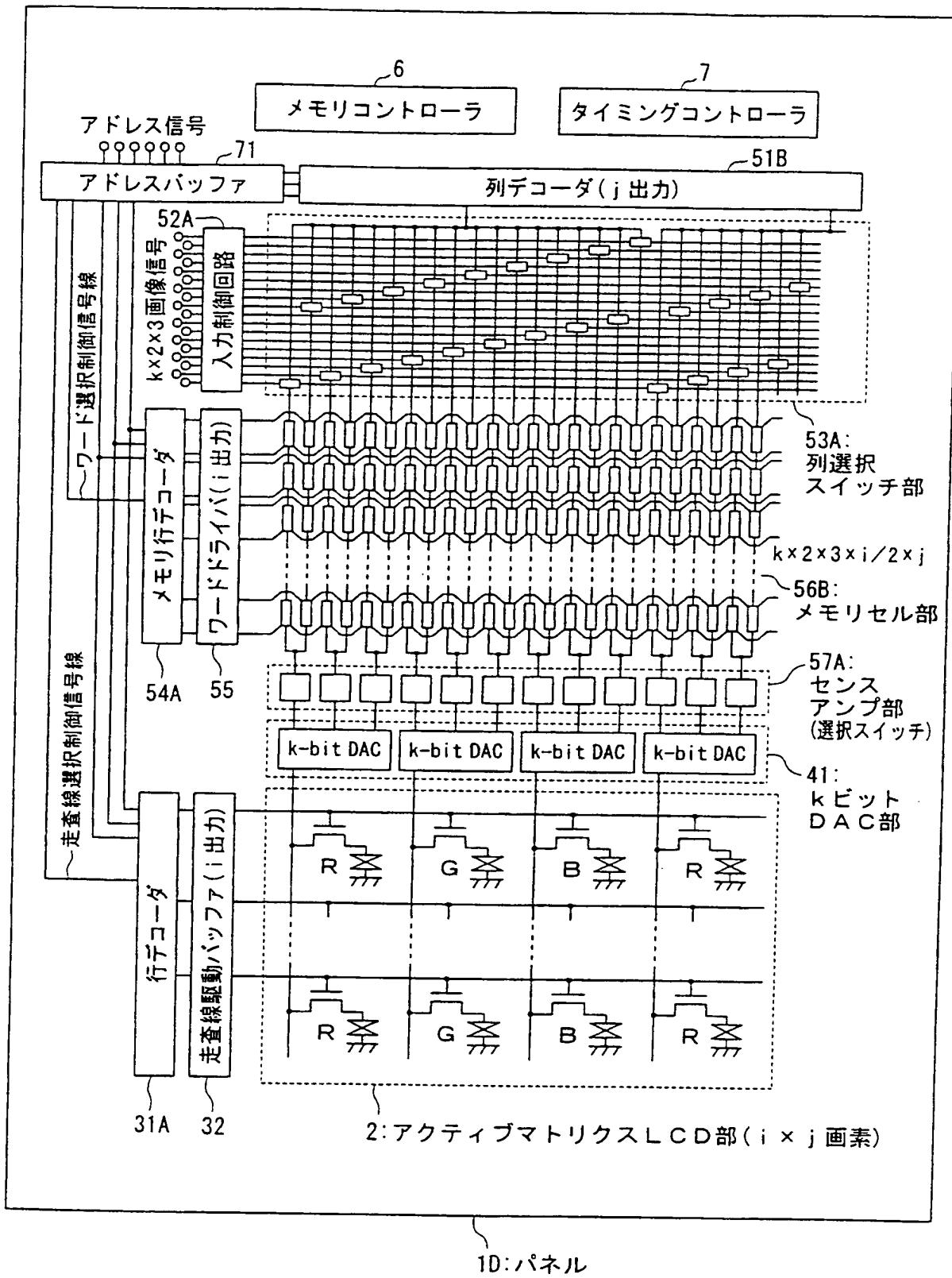


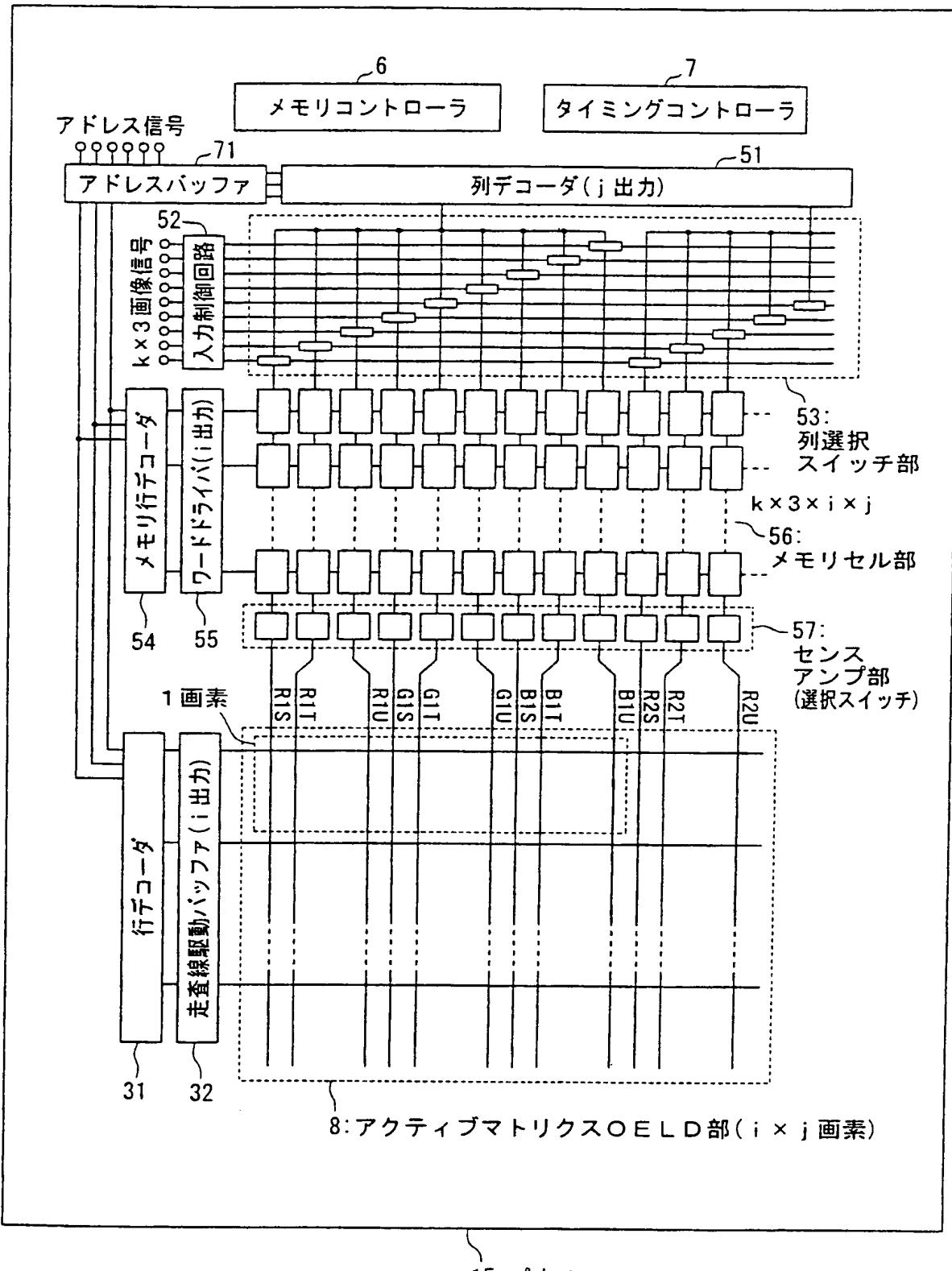


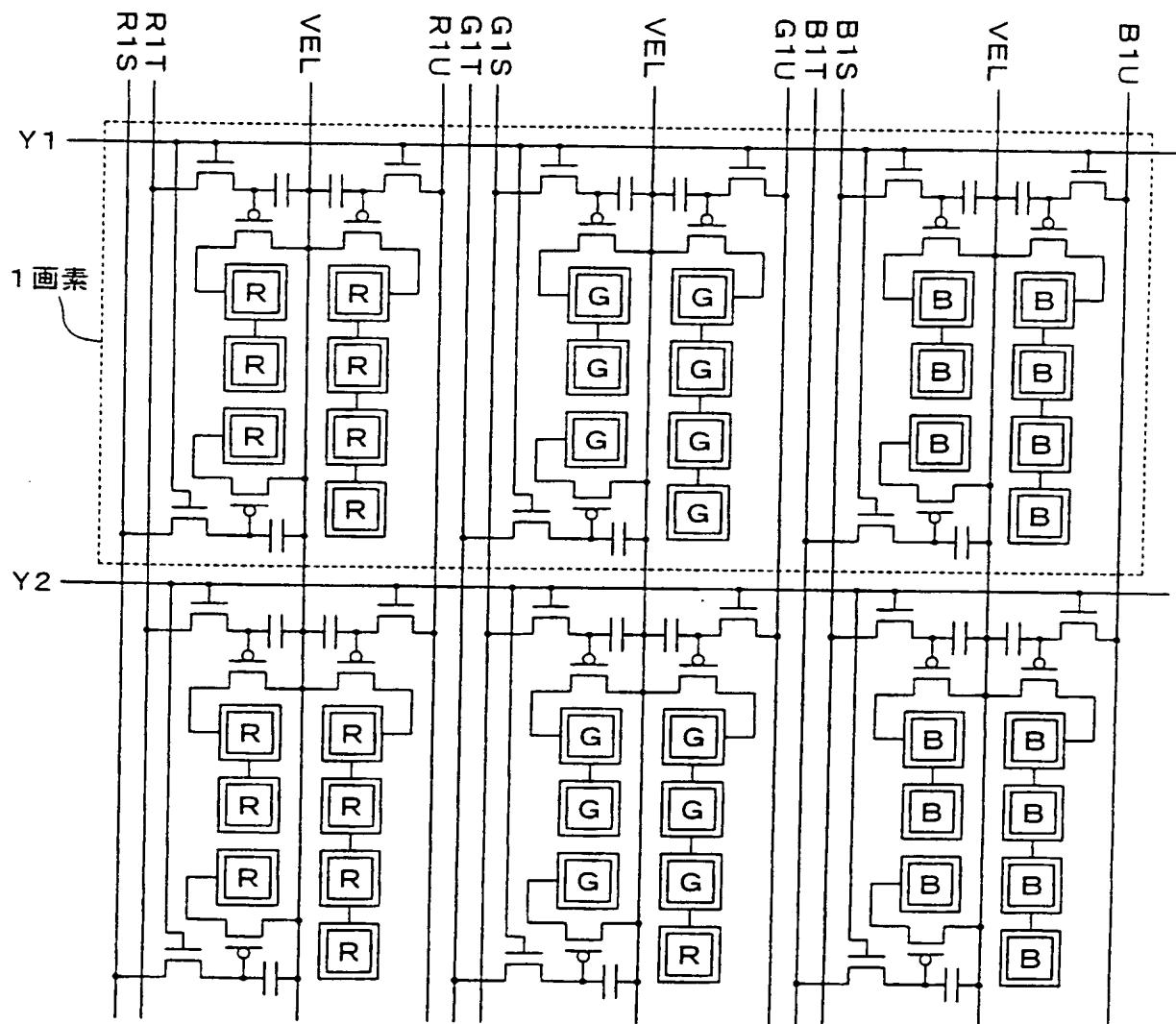


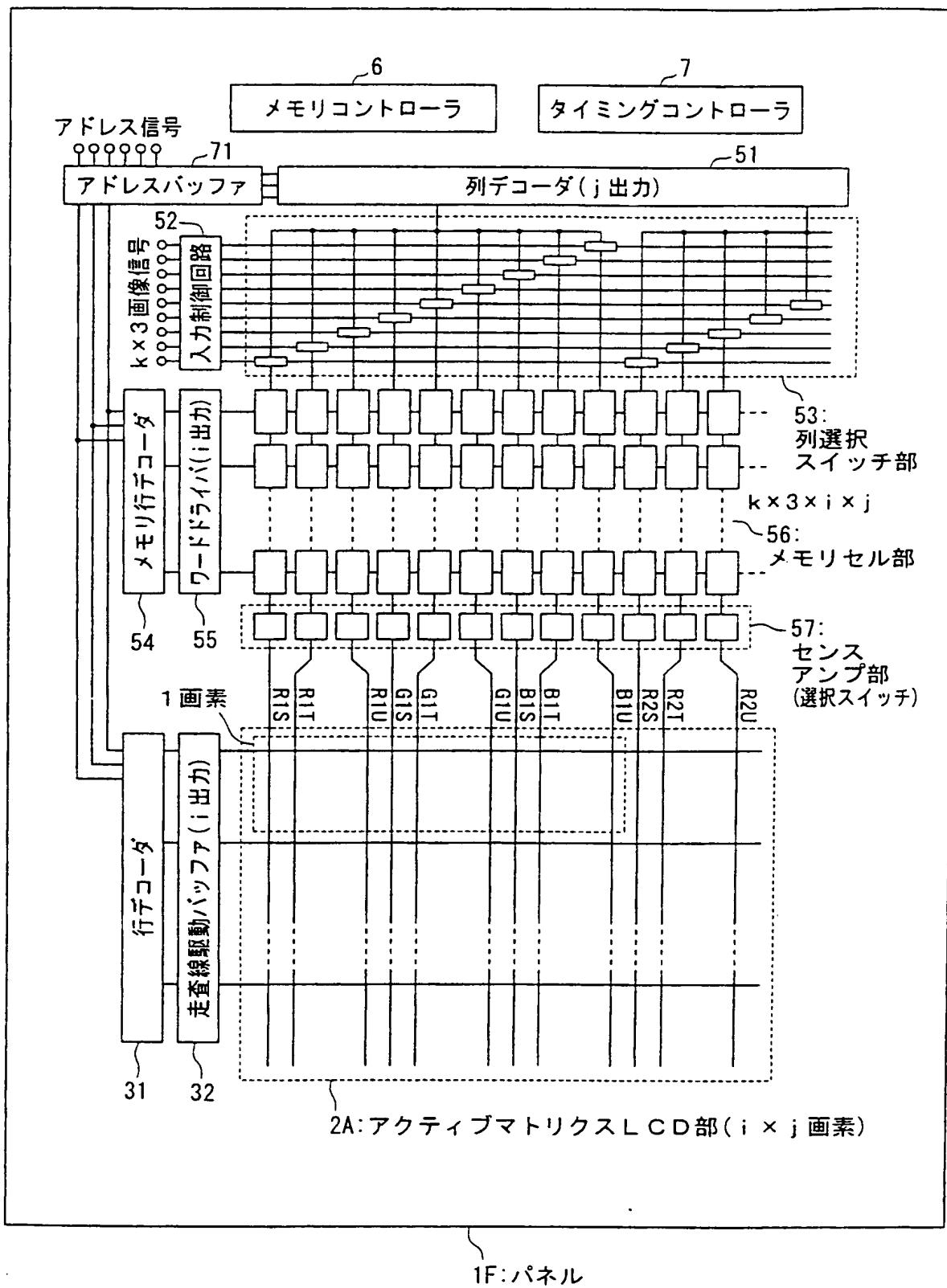


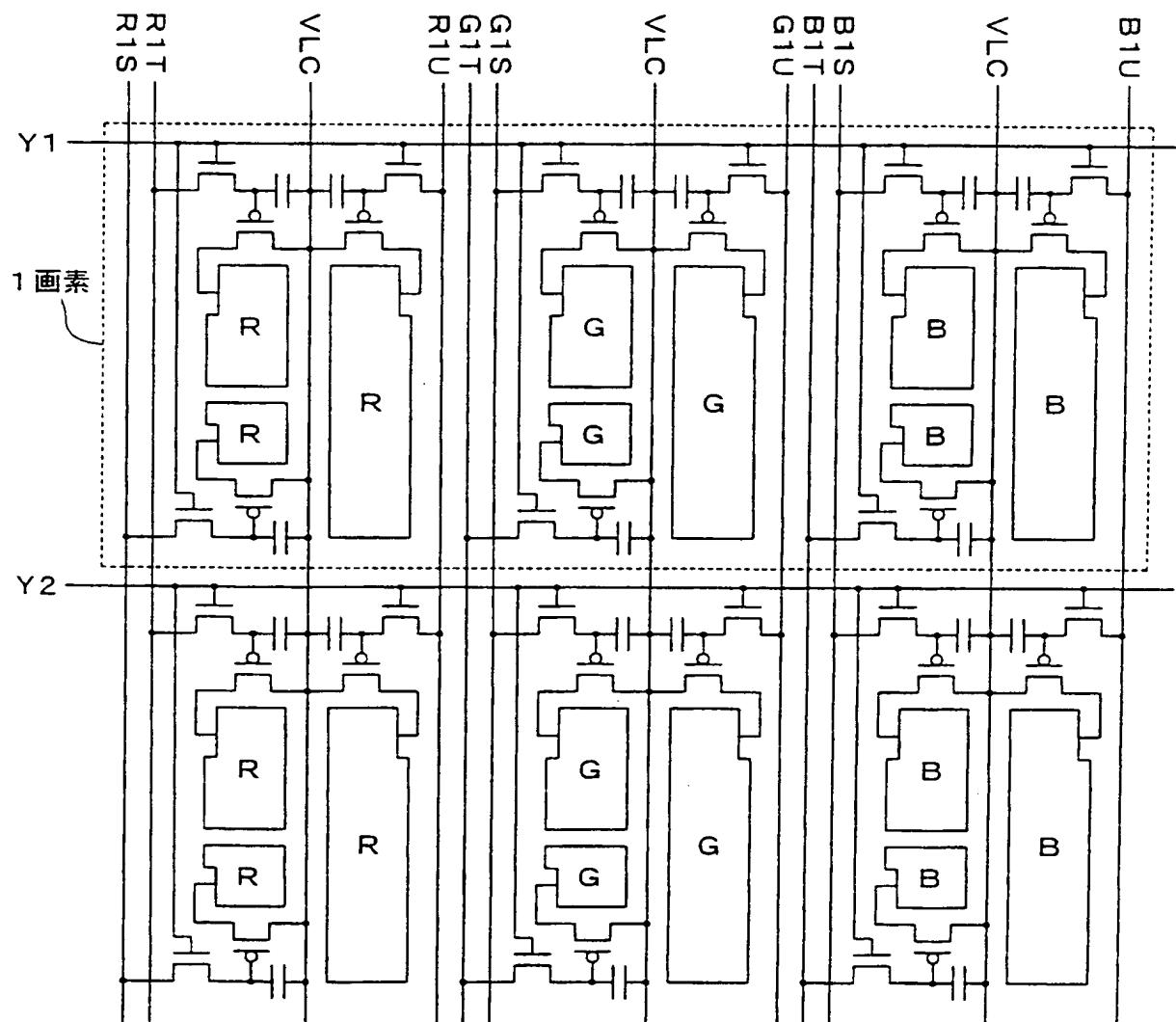


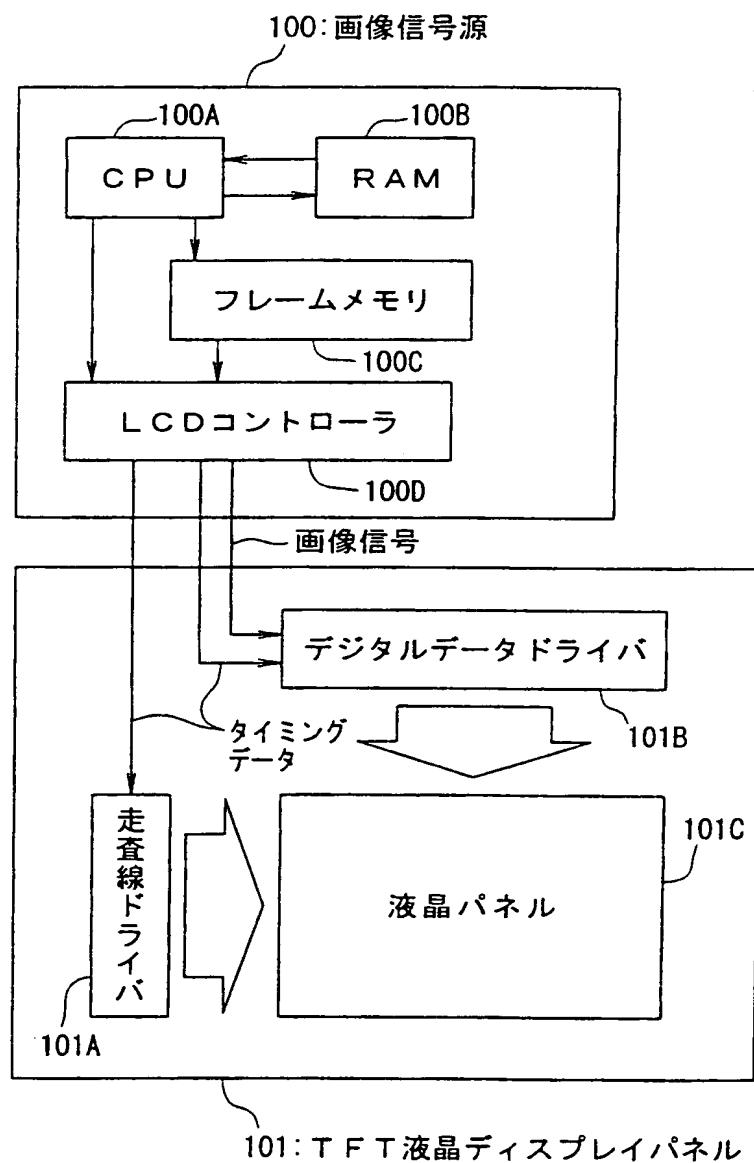












INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/07175

A. CLASSIFICATION OF SUBJECT MATTER
Int.C1⁷ G09G3/36, G02F1/133

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.C1⁷ G09G3/36, G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Toroku Jitsuyo Shinan Koho 1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	JP, 2000-227608, A (Hitachi, Ltd.), 15 August, 2000 (15.08.00), Full text; Figs. 1 to 7	1-2, 5-6, 9-15, 18-24
P, Y	Full text; Figs. 1 to 7 (Family: none)	3-4, 7-8, 16-17, 25-26
X	JP, 8-227283, A (Seiko Epson Corporation), 03 September, 1996 (03.09.96), Full text; Figs. 1 to 17	1-2, 5-6, 9, 18-1 9, 21-24
Y	Full text; Figs. 1 to 17	3-4, 7-8, 16-17, 25-26
A	Full text; Figs. 1 to 17 (Family: none)	10-15, 20,
Y	JP, 10-222136, A (Casio Computer Co, Ltd.), 21 August, 1998 (21.08.98), Full text; Figs. 1 to 12 (Family: none)	3-4, 7-8

Further documents are listed in the continuation of Box C. See patent family annex.

- * Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
28 December, 2000 (28.12.00)

Date of mailing of the international search report
23 January, 2001 (23.01.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/07175

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 11-65536, A (Seiko Epson Corporation), 09 March, 1999 (09.03.99), Par. Nos. [0080]-[0081]; Figs. 3 to 4 (Family: none)	16-17
Y	JP, 63-229430, A (NEC Corporation), 26 September, 1988 (26.09.88), Full text; Figs. 1 to 4 (Family: none)	25-26
A	JP, 5-297345, A (Seiko Epson Corporation), 12 November, 1993 (12.11.93), Full text; Figs. 1 to 12 (Family: none)	1-26
A	JP, 8-166775, A (Sharp Corporation), 25 June, 1996 (25.06.96), Par. Nos. [0037]-[0054]; Figs. 1 to 4 (Family: none)	1-26

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int, Cl⁷ G 09 G 3/36, G 02 F 1/133

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int, Cl⁷ G 09 G 3/36, G 02 F 1/133

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2000年

日本国実用新案登録公報 1996-2000年

日本国登録実用新案公報 1994-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, X	JP, 2000-227608, A (株式会社日立製作所) 15. 8月. 2000 (15. 08. 00) 全文, 第1-7図	1-2, 5- 6, 9-1 5, 18-2 4
P, Y	全文, 第1-7図	3-4, 7- 8, 16-1 7, 25-2 6

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

28. 12. 00

国際調査報告の発送日

23.01.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

西島 篤宏

2 G 9308



電話番号 03-3581-1101 内線 3226

C (続き) 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	(ファミリーなし) J P, 8-227283, A (セイコーユーエプソン株式会社) 3. 9月. 1996 (03. 09. 96) 全文, 第1-17図	1-2, 5- 6, 9, 18 -19, 21 -24 3-4, 7- 8, 16-1 7, 25-2 6 10-15, 20,
Y	全文, 第1-17図	3-4, 7- 8
A	全文, 第1-17図 (ファミリーなし)	16-17
Y	J P, 10-222136, A (カシオ計算機株式会社) 21. 8月. 1998 (21. 08. 98) 全文, 第1-12図 (ファミリーなし)	25-26
Y	J P, 11-65536, A (セイコーユーエプソン株式会社) 9. 3月. 1999 (09. 03. 99) 段落番号【0080】-【0081】，第3-4図 (ファミリーなし)	1-26
Y	J P, 63-229430, A (日本電気株式会社) 26. 9月. 1988 (26. 09. 88) 全文, 第1-4図 (ファミリーなし)	1-26
A	J P, 5-297345, A (セイコーユーエプソン株式会社) 12. 11月. 1993 (12. 11. 93) 全文, 第1-12図 (ファミリーなし)	1-26
A	J P, 8-166775, A (シャープ株式会社) 25. 6月. 1996 (25. 06. 96) 段落番号【0037】-【0054】，第1-4図 (ファミリーなし)	1-26

PCT REQUEST

0	For receiving Office use only	
0-1	International Application No.	
0-2	International Filing Date	
0-3	Name of receiving Office and "PCT International Application" <i>Japan 2001-01-25</i>	
0-4	Form - PCT/RO/101 PCT Request	
0-4-1	Prepared using PCT-EASY Version 2.91 (updated 01.01.2001)	
0-5	Petition The undersigned requests that the present international application be processed according to the Patent Cooperation Treaty	
0-6	Receiving Office (specified by the applicant)	
0-7	Applicant's or agent's file reference	
I	Title of invention	
II	Applicant	
II-1	This person is: applicant only	
II-2	Applicant for all designated States except US	
II-4	Name SEIKO EPSON CORPORATION	
II-5	Address: 4-1, Nishi-Shinjuku 2-Chome Shinjuku-Ku, Nagano 163-0811 Japan	
II-6	State of nationality JP	
II-7	State of residence JP	
III-1	Applicant and/or inventor	
III-1-1	This person is: applicant and inventor	
III-1-2	Applicant for US only	
III-1-4	Name (LAST, First) MATSUEDA, Yojiro	
III-1-5	Address: c/o SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-Shi, Nagano 392-8502 Japan	
III-1-6	State of nationality JP	
III-1-7	State of residence JP	

PCT REQUEST

IV-1	Agent or common representative; or address for correspondence The person identified below is hereby/has been appointed to act on behalf of the applicant(s) before the competent International Authorities as: Name (LAST, First) Address:	agent SUZUKI, Kisaburo c/o SEIKO EPSON CORPORATION 3-5, Owa 3-Chome Suwa-Shi, Nagano 392-8502 Japan
IV-1-3	Telephone No.	0266-52-3139
IV-1-4	Facsimile No.	0266-58-3243
IV-2	Additional agent(s)	additional agent(s) with same address as first named agent
IV-2-1	Name(s)	KAMIYANAGI, Masataka; SUZAWA, Osamu
V	Designation of States	
V-1	Regional Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	EP: AT BE CH&LI CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE TR and any other State which is a Contracting State of the European Patent Convention and of the PCT
V-2	National Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	CN JP KR US
V-5	Precautionary Designation Statement In addition to the designations made under items V-1, V-2 and V-3, the applicant also makes under Rule 4.9(b) all designations which would be permitted under the PCT except any designation(s) of the State(s) indicated under item V-6 below. The applicant declares that those additional designations are subject to confirmation and that any designation which is not confirmed before the expiration of 15 months from the priority date is to be regarded as withdrawn by the applicant at the expiration of that time limit.	
V-6	Exclusion(s) from precautionary designations	NONE
VI-1	Priority claim of earlier national application	
VI-1-1	Filing date	18 October 1999 (18.10.1999)
VI-1-2	Number	H11-294996
VI-1-3	Country	JP
VI-2	Priority document request The receiving Office is requested to prepare and transmit to the International Bureau a certified copy of the earlier application(s) identified above as item(s):	VI-1

PCT REQUEST

F005511WO00

VII-1	International Searching Authority Chosen	Japanese Patent Office (JPO) (ISA/JP)	
VIII	Check list	number of sheets	electronic file(s) attached
VIII-1	Request	3	-
VIII-2	Description	32	-
VIII-3	Claims	7	-
VIII-4	Abstract	1	f005511wo00.txt
VIII-5	Drawings	11	-
VIII-7	TOTAL	54	
	Accompanying items	paper document(s) attached	electronic file(s) attached
VIII-8	Fee calculation sheet	✓	-
VIII-9	Separate signed power of attorney	✓	-
VIII-16	PCT-EASY diskette	-	diskette
VIII-18	Figure of the drawings which should accompany the abstract	2	
VIII-19	Language of filing of the international application	Japanese	
IX-1	Signature of applicant or agent		
IX-1-1	Name (LAST, First)	SUZUKI, Kisaburo	
IX-2	Signature of applicant or agent		
IX-2-1	Name (LAST, First)	KAMIYANAGI, Masataka	
IX-3	Signature of applicant or agent		
IX-3-1	Name (LAST, First)	SUZAWA, Osamu	

FOR RECEIVING OFFICE USE ONLY

10-1	Date of actual receipt of the purported international application	
10-2	Drawings:	
10-2-1	Received	
10-2-2	Not received	
10-3	Corrected date of actual receipt due to later but timely received papers or drawings completing the purported international application	
10-4	Date of timely receipt of the required corrections under PCT Article 11(2)	
10-5	International Searching Authority	ISA/JP
10-6	Transmittal of search copy delayed until search fee is paid	

FOR INTERNATIONAL BUREAU USE ONLY

11-1	Date of receipt of the record copy by the International Bureau	
------	--	--

E P

U S

P C T

特許協力条約

国際調査報告

(法8条、法施行規則第40、41条)
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号	F 0 0 5 5 1 1 W O 0 0	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号	PCT/JP00/07175	国際出願日 (日.月.年)	16.10.00
優先日 (日.月.年)	18.10.99		
出願人(氏名又は名称) セイコーエプソン株式会社			

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

この国際出願に含まれる書面による配列表

この国際出願と共に提出されたフレキシブルディスクによる配列表

出願後に、この国際調査機関に提出された書面による配列表

出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. 請求の範囲の一部の調査ができない(第I欄参照)。

3. 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は 出願人が提出したものと承認する。

次に示すように国際調査機関が作成した。

5. 要約は 出願人が提出したものと承認する。

第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1ヶ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、
第 2 図とする。 出願人が示したとおりである。

なし

出願人は図を示さなかった。

本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int, Cl' G 09 G 3/36, G 02 F 1/133

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int, Cl' G 09 G 3/36, G 02 F 1/133

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2000年
 日本国実用新案登録公報 1996-2000年
 日本国登録実用新案公報 1994-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, X	J P, 2000-227608, A (株式会社日立製作所) 15. 8月. 2000 (15. 08. 00) 全文, 第1-7図	1-2, 5- 6, 9-1 5, 18-2 4
P, Y	全文, 第1-7図	3-4, 7- 8, 16-1 7, 25-2 6

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 28. 12. 00	国際調査報告の発送日 23.01.01
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 西島 篤宏 2G 9308 電話番号 03-3581-1101 内線 3226

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
X	(ファミリーなし) J P, 8-227283, A (セイコーホームズ株式会社) 3. 9月. 1996 (03. 09. 96) 全文, 第1-17図	1-2, 5- 6, 9, 18 -19, 21 -24
Y	全文, 第1-17図	3-4, 7- 8, 16-1 7, 25-2 6
A	全文, 第1-17図 (ファミリーなし)	10-15, 20,
Y	J P, 10-222136, A (カシオ計算機株式会社) 21. 8月. 1998 (21. 08. 98) 全文, 第1-12図 (ファミリーなし)	3-4, 7- 8
Y	J P, 11-65536, A (セイコーホームズ株式会社) 9. 3月. 1999 (09. 03. 99) 段落番号【0080】-【0081】，第3-4図 (ファミリーなし)	16-17
Y	J P, 63-229430, A (日本電気株式会社) 26. 9月. 1988 (26. 09. 88) 全文, 第1-4図 (ファミリーなし)	25-26
A	J P, 5-297345, A (セイコーホームズ株式会社) 12. 11月. 1993 (12. 11. 93) 全文, 第1-12図 (ファミリーなし)	1-26
A	J P, 8-166775, A (シャープ株式会社) 25. 6月. 1996 (25. 06. 96) 段落番号【0037】-【0054】，第1-4図 (ファミリーなし)	1-26